

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年 6月18日

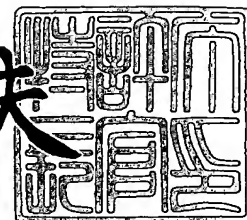
出願番号  
Application Number: 特願2003-174134  
[ST. 10/C]: [JP2003-174134]

出願人  
Applicant(s): 株式会社半導体エネルギー研究所

2004年 1月21日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2004-3001575

【書類名】 特許願

【整理番号】 P007203

【提出日】 平成15年 6月18日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 納 光明

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 安西 彩

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 優

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 福本 良太

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【先の出願に基づく優先権主張】

【出願番号】 特願2003- 86500

【出願日】 平成15年 3月26日

【先の出願に基づく優先権主張】

【出願番号】 特願2003-139560

【出願日】 平成15年 5月16日

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 素子基板及び発光装置

【特許請求の範囲】

【請求項 1】

発光素子と、  
前記発光素子に流れる電流値を決定する第 1 のトランジスタと、  
ビデオ信号によって、前記発光素子の発光、非発光を決定する第 2 のトランジスタとを画素に有する発光装置であって、  
第 1 の電源と第 3 の電源との間に、前記発光素子、前記第 1 のトランジスタ及び前記第 2 のトランジスタが直列に接続され、  
前記第 1 のトランジスタのゲート電極は第 2 の電源と接続されていることを特徴とする発光装置。

【請求項 2】

発光素子と、  
前記発光素子に流れる電流値を決定する第 1 のトランジスタと、  
ビデオ信号によって、前記発光素子の発光、非発光を決定する第 2 のトランジスタと、  
前記ビデオ信号の入力を制御する第 3 のトランジスタとを画素に有する発光装置であって、  
第 1 の電源と第 3 の電源との間に、前記発光素子、前記第 1 のトランジスタ及び前記第 2 のトランジスタが直列に接続され、  
前記第 1 のトランジスタのゲート電極は第 2 の電源と接続されていることを特徴とする発光装置。

【請求項 3】

発光素子と、  
前記発光素子に流れる電流値を決定する第 1 のトランジスタと、  
ビデオ信号によって、前記発光素子の発光、非発光を決定する第 2 のトランジスタと、  
前記ビデオ信号の入力を制御する第 3 のトランジスタと、

前記ビデオ信号に関わらず、前記発光素子を非発光状態にする第4のトランジスタとを画素に有する発光装置であって、

前記第1の電源と第3の電源との間に、前記発光素子、前記第1のトランジスタ及び前記第2のトランジスタが直列に接続され、

前記第1のトランジスタのゲート電極は第2の電源と接続されていることを特徴とする発光装置。

**【請求項4】**

請求項1乃至請求項3のいずれか1項において、

前記第1のトランジスタ及び前記第2のトランジスタの極性が同じ極性であることを特徴とする発光装置。

**【請求項5】**

請求項1乃至請求項4のいずれか1項において、

前記第1のトランジスタはディプリーション型であることを特徴とする発光装置。

**【請求項6】**

請求項1乃至請求項5のいずれか1項において、

前記第1のトランジスタはそのチャネル長がチャネル幅より長く、

前記第2のトランジスタはそのチャネル長がチャネル幅と同じかそれより短いことを特徴とする発光装置。

**【請求項7】**

請求項6において、

前記第1のトランジスタはそのチャネル幅に対するチャネル長の比が5以上であることを特徴とする発光装置。

**【請求項8】**

画素電極と、

前記画素電極に流れる電流値を決定する第1のトランジスタと、

ビデオ信号によって、前記画素電極への電流の供給の有無を決定する第2のトランジスタとを画素に有する発光装置であって、

第1の電源と前記画素電極との間に、前記第1のトランジスタ及び前記第2の

トランジスタが直列に接続され、

前記第 1 のトランジスタのゲート電極は第 2 の電源と接続されていることを特徴とする素子基板。

**【請求項 9】**

請求項 8 において、

前記第 1 のトランジスタ及び前記第 2 のトランジスタの極性が共に P 型であり

、  
前記第 1 のトランジスタの閾値が前記第 2 のトランジスタの閾値よりも高いことを特徴とする素子基板。

**【請求項 10】**

請求項 8 において、

前記第 1 のトランジスタ及び前記第 2 のトランジスタの極性が共に N 型であり

、  
前記第 1 のトランジスタの閾値が前記第 2 のトランジスタの閾値よりも低いことを特徴とする素子基板。

**【請求項 11】**

請求項 8 乃至請求項 10 のいずれか 1 項において、

前記第 1 のトランジスタはディプリーション型であることを特徴とする素子基板。

**【請求項 12】**

請求項 8 乃至請求項 11 のいずれか 1 項において、

前記第 1 のトランジスタはそのチャネル長がチャネル幅より長く、

前記第 2 のトランジスタはそのチャネル長がチャネル幅と同じかそれより短いことを特徴とする素子基板。

**【請求項 13】**

請求項 12 において、

前記第 1 のトランジスタはそのチャネル幅に対するチャネル長の比が 5 以上であることを特徴とする素子基板。

**【発明の詳細な説明】**

**【 0 0 0 1 】****【発明の属する技術分野】**

本発明は、電流を発光素子に供給するための手段と発光素子とが、複数の各画素に備えられた発光装置及び素子基板に関する。

**【 0 0 0 2 】****【従来の技術】**

発光素子は自ら発光するため視認性が高く、液晶表示装置（L C D）で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため近年、発光素子を用いた発光装置は、C R TやL C Dに代わる表示装置として注目されている。なお、本明細書において発光素子は、電流または電圧によって輝度が制御される素子を意味しており、O L E D（Organic Light Emitting Diode）や、F E D（Field Emission Display）に用いられているM I M型の電子源素子（電子放出素子）等を含んでいる。

**【 0 0 0 3 】**

なお発光装置とは、パネルと、該パネルにコントローラを含むI C等を実装した状態にあるモジュールとを含む。さらに本発明は、該発光装置を作製する過程における、パネルが完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を発光素子に供給するための手段を複数の各画素に備える。

**【 0 0 0 4 】**

発光素子の1つであるO L E D（Organic Light Emitting Diode）は、電場を加えることで発生するルミネッセンス（Electroluminescence）が得られる電界発光材料を含む層（以下、電界発光層と記す）と、陽極層と、陰極層とを有している。電界発光層は陽極と陰極の間に設けられており、単層または複数の層で構成されている。これらの層の中に無機化合物を含んでいる場合もある。電界発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とが含まれる。

**【 0 0 0 5 】**

次に、一般的な発光装置の画素の構成とその駆動について簡単に説明する。図7に示した画素は、スイッチング用トランジスタ700、駆動用トランジスタ7

01と、容量素子702と、発光素子703とを有している。スイッチング用トランジスタ700は、ゲートが走査線705に接続されており、ソースとドレインが一方は信号線704に、もう一方は駆動用トランジスタ701のゲートに接続されている。駆動用トランジスタ701は、ソースが電源線706に接続されており、ドレインが発光素子703の陽極に接続されている。発光素子703の陰極は対向電極707に接続されている。容量素子702は駆動用トランジスタ701のゲートとソース間の電位差を保持するように設けられている。また、電源線706、対向電極707には、電源からそれぞれ所定の電圧が印加されており、互いに電位差を有している。

#### 【0006】

走査線705の信号によりスイッチング用トランジスタ700がオンになると、信号線704に入力されたビデオ信号が駆動用トランジスタ701のゲートに入力される。この入力されたビデオ信号の電位と電源線706の電位差が駆動用トランジスタ701のゲート・ソース間電圧 $V_{gs}$ となり、発光素子703に電流が供給され、発光素子703が発光する。

#### 【0007】

##### 【発明が解決しようとする課題】

ところで、例えば、ポリシリコンを用いたトランジスタは、電界効果移動度が高く、オン電流が大きいので、発光装置のトランジスタとして適している。また、ポリシリコンを用いたトランジスタは、結晶粒界に形成される欠陥に起因して、その特性にばらつきが生じやすいといった問題点を有している。

#### 【0008】

図7に示した画素において、駆動用トランジスタ701のドレイン電流が画素毎にばらつくと、ビデオ信号の電位が同じであっても駆動用トランジスタ701のドレイン電流が画素間で異なり、結果的に発光素子703の輝度ムラが生じてしまうという問題があった。

#### 【0009】

ドレイン電流のばらつきを抑制する手段として、特願2003-008719号で提案した、駆動用トランジスタ701の $L/W$  ( $L$ :チャネル長、 $W$ :チャ



ネル幅)を大きくする方法がある。ここで、駆動用トランジスタ701の飽和領域におけるドレイン電流  $I_{ds}$  は式1で与えられる。

【0010】

【式1】

$$I_{ds} = \beta (V_{gs} - V_{th})^2 / 2$$

【0011】

式1から、駆動用トランジスタ701の飽和領域におけるドレイン電流  $I_{ds}$  は  $V_{gs}$  の僅かな変化に対しても流れる電流に大きく影響するため、発光素子703が発光している期間に駆動用トランジスタ701のゲート・ソース間に保持した電圧  $V_{gs}$  が変化しないように注意する必要がある。そのためには駆動用トランジスタ701のゲート・ソース間に設けられた容量素子702の容量を大きくすることや、スイッチング用トランジスタ700のオフ電流を低く抑える必要がある。

【0012】

スイッチング用トランジスタ700のオフ電流を低く抑えること、且つ、大きな容量を充電するためにオン電流を高くすること、両方を満たすことはトランジスタ作製プロセスにおいては難しい課題である。

【0013】

また、スイッチング用トランジスタ700のスイッチングや信号線、走査線の電位の変化等に伴い、駆動用トランジスタ701の  $V_{gs}$  が変化してしまうという問題もある。これは、駆動用トランジスタ701のゲートにつく寄生容量によるものである。

【0014】

本発明は上述した問題に鑑み、スイッチング用トランジスタ700のオフ電流を低く抑える必要はなく、容量素子702の容量も大きくする必要はなく、寄生容量による影響も受けにくい、且つ、駆動用トランジスタ701の特性のばらつきに起因する、画素間における発光素子703の輝度ムラを抑えることができる発光装置及び素子基板の提案を課題とする。

【0015】

**【課題を解決するための手段】**

本発明では、駆動用トランジスタのゲートの電位は固定し、前記駆動用トランジスタは飽和領域で動作させ、常に電流を流せる状態にしておく。前記駆動用トランジスタと直列に線形領域で動作する電流制御用トランジスタを配し、スイッチング用トランジスタを介して画素の発光、非発光の信号を伝えるビデオ信号を前記電流制御用トランジスタのゲートに入力する。

**【0016】**

前記電流制御用トランジスタは線形領域で動作するため前記電流制御用トランジスタのソース・ドレイン間電圧  $V_{ds}$  は小さく、前記電流制御用トランジスタのゲート・ソース間電圧  $V_{gs}$  の僅かな変動は、発光素子に流れる電流に影響しない。発光素子に流れる電流は飽和領域で動作する前記駆動用トランジスタにより決定される。よって、前記電流制御用トランジスタのゲート・ソース間に設けられた容量素子の容量を大きくしたり、前記スイッチング用トランジスタのオフ電流を低く抑えたりしなくても、発光素子に流れる電流に影響しない。また、前記電流制御用トランジスタのゲートにつく寄生容量による影響も受けない。このため、ばらつき要因が減り、画質を大いに高めることができる。

**【0017】**

また、前記スイッチング用トランジスタはオフ電流を低く抑える必要がないため、トランジスタ作製プロセスを簡略化することができ、コスト削減、歩留まり向上に大きく貢献することができる。

**【0018】****【発明の実施の形態】****(実施の形態1)**

図1に、本発明の発光装置が有する画素の一実施形態を示す。図1に示す画素は、発光素子104と、ビデオ信号の画素への入力を制御するためのスイッチング素子として用いるトランジスタ（スイッチング用トランジスタ）101と、発光素子104に流れる電流値を制御する駆動用トランジスタ102、発光素子104への電流の供給を制御する電流制御用トランジスタ103とを有している。さらに本実施の形態のように、ビデオ信号の電位を保持するための容量素子10

5を画素に設けても良い。

#### 【0019】

駆動用トランジスタ102及び電流制御用トランジスタ103は同じ極性を有する。本発明では、駆動用トランジスタ102を飽和領域で、電流制御用トランジスタ103を線形領域で動作させる。

#### 【0020】

また、駆動用トランジスタ102のLをWより長く、電流制御用トランジスタ103のLをWと同じか、それより短くてもよい。より望ましくは、駆動用トランジスタ102のWに対するLの比が5以上にするとよい。また、駆動用トランジスタ102のチャンネル長をL1、チャンネル幅をW1、電流制御用トランジスタ103のチャンネル長をL2、チャンネル幅をW2とすると、 $L1/W1 : L2/W2 = X : 1$ のとき、Xは5以上6000以下とするのが望ましい。例としては、 $L1/W1 = 500 \mu m / 3 \mu m$ 、 $L2/W2 = 3 \mu m / 100 \mu m$ という場合が挙げられる。

#### 【0021】

また、駆動用トランジスタ102にはエンハンスメント型トランジスタを用いてもよいし、ディプリーション型トランジスタを用いてもよい。

#### 【0022】

また、スイッチング用トランジスタ101はN型トランジスタを用いてもよいし、P型トランジスタを用いてもよい。

#### 【0023】

スイッチング用トランジスタ101のゲートは、走査線Gj (j=1~y)に接続されている。スイッチング用トランジスタ101のソースとドレインは、一方が信号線Si (i=1~x)に、もう一方が電流制御用トランジスタ103のゲートに接続されている。駆動用トランジスタ102のゲートは第2の電源線Wi (i=1~x)に接続されている。そして駆動用トランジスタ102及び電流制御用トランジスタ103は、第1の電源線Vi (i=1~x)から供給される電流が、駆動用トランジスタ102及び電流制御用トランジスタ103のドレイン電流として発光素子104に供給されるように、第1の電源線Vi (i=1~

x)、発光素子104と接続されている。本実施の形態では、電流制御用トランジスタ103のソースが第1の電源線 $V_i$  ( $i=1\sim x$ )に接続され、駆動用トランジスタ102のドレインが発光素子104の画素電極に接続される。

#### 【0024】

なお駆動用トランジスタ102のソースを第1の電源線 $V_i$  ( $i=1\sim x$ )に接続し、電流制御用トランジスタ103のドレインを発光素子104の画素電極に接続してもよい。

#### 【0025】

発光素子104は陽極と陰極と、陽極と陰極との間に設けられた電界発光層とからなる。図1のように、陽極が駆動用トランジスタ102と接続している場合、陽極が画素電極、陰極が対向電極となる。発光素子104の対向電極と、第1の電源線 $V_i$  ( $i=1\sim x$ )のそれぞれには、発光素子104に順バイアス方向の電流が供給されるように、電位差が設けられている。

#### 【0026】

容量素子105が有する2つの電極は、一方は第1の電源線 $V_i$  ( $i=1\sim x$ )に接続されており、もう一方は電流制御用トランジスタ103のゲートに接続されている。容量素子105はスイッチング用トランジスタ101が非選択状態(オフ状態)にある時、容量素子105の電極間の電位差を保持するために設けられている。なお図1では容量素子105を設ける構成を示したが、本発明はこの構成に限定されず、容量素子105を設けない構成にしても良い。

#### 【0027】

図1では駆動用トランジスタ102および電流制御用トランジスタ103をP型トランジスタとし、駆動用トランジスタ102のドレインと発光素子104の陽極とを接続した。逆に駆動用トランジスタ102および電流制御用トランジスタ103をN型トランジスタとするならば、駆動用トランジスタ102のソースと発光素子104の陰極とを接続する。この場合、発光素子104の陰極が画素電極、陽極が対向電極となる。

#### 【0028】

次に、図1に示した画素の駆動方法について説明する。図1に示す画素は、そ

の動作を書き込み期間、データ保持期間とに分けて説明することができる。

#### 【0029】

まず書き込み期間において走査線  $G_j$  ( $j = 1 \sim y$ ) が選択されると、走査線  $G_j$  ( $j = 1 \sim y$ ) にゲートが接続されているスイッチング用トランジスタ 101 がオンになる。そして、信号線  $S_i$  ( $i = 1 \sim x$ ) に入力されたビデオ信号が、スイッチング用トランジスタ 101 を介して電流制御用トランジスタ 103 のゲートに入力される。なお、駆動用トランジスタ 102 はゲートが第 1 の電源線  $V_i$  ( $i = 1 \sim x$ ) に接続されているため、常にオン状態である。

#### 【0030】

ビデオ信号によって電流制御用トランジスタ 103 がオンになる場合は、第 1 の電源線  $V_i$  ( $i = 1 \sim x$ ) を介して電流が発光素子 104 に供給される。このとき電流制御用トランジスタ 103 は線形領域で動作しているため、発光素子 104 に流れる電流は、飽和領域で動作する駆動用トランジスタ 102 と発光素子 104 の電圧電流特性によって決まる。そして発光素子 104 は、供給される電流に見合った高さの輝度で発光する。

#### 【0031】

またビデオ信号によって電流制御用トランジスタ 103 がオフになる場合は、発光素子 104 への電流の供給は行なわれず、発光素子 104 は発光しない。

#### 【0032】

データ保持期間では、走査線  $G_j$  ( $j = 1 \sim y$ ) の電位を制御することでスイッチング用トランジスタ 101 をオフにし、書き込み期間において書き込まれたビデオ信号の電位を保持する。書き込み期間において電流制御用トランジスタ 103 をオンにした場合、ビデオ信号の電位は容量素子 105 によって保持されているので、発光素子 104 への電流の供給は維持されている。逆に、書き込み期間において電流制御用トランジスタ 103 をオフにした場合、ビデオ信号の電位は容量素子 105 によって保持されているので、発光素子 104 への電流の供給は行なわれていない。

#### 【0033】

なお素子基板は、本発明の発光装置を作製する過程における、発光素子が形成

される前の一形態に相当する。

#### 【0034】

本発明の発光装置において用いられるトランジスタは、単結晶シリコンを用いて形成されたトランジスタであっても良いし、SOIを用いたトランジスタであっても良いし、多結晶シリコンやアモルファスシリコンを用いた薄膜トランジスタであっても良い。また、有機半導体を用いたトランジスタであっても良いし、カーボンナノチューブを用いたトランジスタであってもよい。また本発明の発光装置の画素に設けられたトランジスタは、シングルゲート構造を有していても良いし、ダブルゲート構造やそれ以上のゲート電極を有するマルチゲート構造であっても良い。

#### 【0035】

上記構成により、電流制御用トランジスタ103は線形領域で動作するため電流制御用トランジスタ103のソース・ドレイン間電圧 $V_{ds}$ は小さく、電流制御用トランジスタ103のゲート・ソース間電圧 $V_{gs}$ の僅かな変動は、発光素子104に流れる電流に影響しない。発光素子104に流れる電流は飽和領域で動作する駆動用トランジスタ102により決定される。よって、電流制御用トランジスタ103のゲート・ソース間に設けられた容量素子105の容量を大きくしたり、スイッチング用トランジスタ101のオフ電流を低く抑えなくても、発光素子104に流れる電流に影響しない。また、電流制御用トランジスタ103のゲートにつく寄生容量による影響も受けない。このため、ばらつき要因が減り、画質を大いに高めることができる。

#### 【0036】

なおアクティブマトリクス型の発光装置は、ビデオ信号の入力後も発光素子への電流の供給をある程度維持することができるので、パネルの大型化、高精細化に柔軟に対応することができ、今後の主流となりつつある。具体的に提案されている、アクティブマトリクス型発光装置における画素の構成は、発光装置のメーカーによって異なっており、それぞれに特色のある技術的工夫が凝らされている。図22に、アクティブマトリクス型の発光装置における駆動方法の分類を、体系的に示す。

## 【0037】

図22に示すように、アクティブマトリクス型の発光装置における駆動方法は、大まかに、ビデオ信号がデジタルのものと、アナログのものに分類できる。そしてアナログに分類される発光装置は、さらに、発光素子に流す電流値をアナログ的に変調させる電流変調と、インバータのオンとオフの長さを変化させることで、階調を表現する時間変調とに分類される。電流変調の発光装置は、Tr特性補正回路ありのものと、なしのものに分類できる。Tr特性補正回路とは、駆動用トランジスタの特性ばらつきを補正する回路であり、閾値のみ補正する回路や電流値（閾値、移動度等すべて含む）を補正する回路がある。

## 【0038】

電流変調に分類されるTr特性補正回路ありの発光装置は、さらに電圧プログラミングで閾値補正をするものと、電流プログラミングで電流値補正をするものに分類される。電圧プログラミングは、ビデオ信号を電圧で入力し、駆動用トランジスタの閾値のばらつきを補正するものである。一方、電流プログラミングは、駆動用トランジスタの電流値（閾値、移動度もすべて含む）のばらつきを補正するものである。ビデオ信号は電流で入力する。発光素子は電流駆動素子であり、電流によって発光輝度が決まるのでデータとして電流値を用いた方が直接的である。

## 【0039】

そして、電流プログラミングで電流値補正をする発光装置は、さらに電流ミラー型と、電流ミラーを用いないタイプに分類される。電流ミラー型は、カレントミラー回路を利用したピクセル回路で、電流を設定するトランジスタと発光素子への電流供給を行うトランジスタを別々に配置する。ミラーとなる2つのトランジスタの特性が揃っていることが大前提となる。電流ミラーを用いないタイプの発光装置は、カレントミラー回路を用いず、1つのトランジスタで電流設定と発光素子への電流供給を行う。

## 【0040】

一方、デジタルに分類される発光装置は、面積階調と時間階調に分類される。面積階調は画素内にサブピクセルを設け、その発光面積に1：2：4：8：…の

ように重みをつけて、その選択により階調表示を行うものである。時間諧調は、1 フレームを幾つかのサブフレームに分け、それぞれの発光時間に 1 : 2 : 4 : 8 : … のように重みをつけ、その選択によって階調表示を行うものである。

#### 【 0 0 4 1 】

時間諧調は、DPS (Display Period Separated) 駆動と、SES (Simultaneous Erasing Scan) 駆動とに分類される。DPS 駆動は、サブフレームがそれぞれ、データ書き込み期間 (Addressing Period) と発光期間 (Lighting Period) の 2 つの部分より構成される。DPS 駆動については、” M . Mizukami, et al. , 6-Bit Digital VGA OLED, SID00 Digest, p. 912 ” に記載されている。SES 駆動は、消去用トランジスタを用いることで、データ書き込み期間と発光期間を重ねることができ、発光素子の発光期間を長くすることができる。SES 駆動については、” K . Inukai, et al. , 4.0-in. TFT-OLED Displays and a Novel Digital Driving Method , SID00 Digest, p. 924 ” に記載されている。

#### 【 0 0 4 2 】

SES 駆動はさらに、定電流駆動と定電圧駆動とに分類される。定電流駆動は発光素子を一定電流で駆動するものであり、発光素子の抵抗変化によらず、一定電流が流れる。定電圧駆動は、発光素子を一定電圧で駆動するものである。

#### 【 0 0 4 3 】

定電流駆動の発光装置は、さらに  $T_r$  特性補正回路ありのものと、なしのものに分類される。 $T_r$  特性補正回路ありの発光装置は、国際公開番号 WO 0 3 / 0 2 7 9 9 7 に記載されている発光装置の駆動 (CCT1) のものと、特願 2 0 0 2 - 0 5 6 5 5 5 号公報に記載されている発光装置の駆動 (CCSP) のものがある。 $T_r$  特性補正回路なしの発光装置は、さらに、駆動  $T_r$  ロングチャネル長のものと、発光時ゲート電位固定法のものとに分類される。駆動  $T_r$  ロングチャネル長については、特願 2 0 0 2 - 0 2 5 0 6 5 号公報に記載されている。駆動  $T_r$  ロングチャネル長は、定電流駆動時の駆動用トランジスタの特性ばらつきを抑制するものである。ゲート長を超ロングにすることで、閾値近傍の  $V_{gs}$  を使わないため各画素の発光素子に流れる電流値のばらつきを低減できる。

。



## 【0044】

発光時ゲート電位固定法は、発光素子の発光期間、駆動用トランジスタのゲートを駆動用トランジスタがオンする電位で固定することで、駆動用トランジスタの  $V_{gs}$  を一定にし、表示不良を改善するものである。データは駆動用トランジスタと直列に配置された電流制御用トランジスタのゲートに入力される。そして発光時ゲート電位固定法の発光装置の発光装置にも、駆動  $T_r$  ロングチャネル長のものがある。本発明の発光装置は、発光時ゲート電位固定法の駆動  $T_r$  ロングチャネル長に分類される。

## 【0045】

図23に、ビデオ信号がデジタルの発光装置において、ビデオ信号が電圧を用いているのか、電流を用いているのかで分類した、駆動方法の一覧を示す。図23に示すように、発光素子の発光時において、画素に入力されるビデオ信号が定電圧 (CV) のものと、定電流 (CC) のものとがある。

## 【0046】

ビデオ信号が定電圧 (CV) のものには、発光素子に印加される電圧が一定のもの (CVCV) と、発光素子に流れる電流が一定のもの (CVCC) とがある。またビデオ信号が定電流 (CC) のものには、発光素子に印加される電圧が一定のもの (CCCV) と、発光素子に流れる電流が一定のもの (CCCC) とがある。

## 【0047】

(実施の形態2)

本実施の形態では、本発明の発光装置が有する画素の、図1とは異なる形態について説明する。

## 【0048】

図2に示す画素は、発光素子204と、スイッチング用トランジスタ201と、駆動用トランジスタ202と、電流制御用トランジスタ203と、電流制御用トランジスタ203を強制的にオフするためのトランジスタ (消去用トランジスタ) 206とを有している。上記素子に加えて容量素子205を画素に設けても良い。

## 【 0 0 4 9 】

駆動用トランジスタ 2 0 2 及び電流制御用トランジスタ 2 0 3 は同じ極性を有する。本発明では、駆動用トランジスタ 2 0 2 を飽和領域で、電流制御用トランジスタ 2 0 3 を線形領域で動作させる。

## 【 0 0 5 0 】

また、駆動用トランジスタ 2 0 2 の L を W より長く、電流制御用トランジスタ 2 0 3 の L を W と同じか、それより短くてもよい。より望ましくは、駆動用トランジスタ 2 0 2 の W に対する L の比が 5 以上にするとよい。

## 【 0 0 5 1 】

また、駆動用トランジスタ 2 0 2 にはエンハンスメント型トランジスタを用いてもよいし、ディプリーション型トランジスタを用いてもよい。

## 【 0 0 5 2 】

また、スイッチング用トランジスタ 2 0 1 及び消去用トランジスタ 2 0 6 は N 型トランジスタを用いてもよいし、P 型トランジスタを用いてもよい。

## 【 0 0 5 3 】

スイッチング用トランジスタ 2 0 1 のゲートは、第 1 の走査線  $G a_j$  ( $j = 1 \sim y$ ) に接続されている。スイッチング用トランジスタ 2 0 1 のソースとドレインは、一方が信号線  $S i$  ( $i = 1 \sim x$ ) に、もう一方が電流制御用トランジスタ 2 0 3 のゲートに接続されている。また消去用トランジスタ 2 0 6 のゲートは、第 2 の走査線  $G e_j$  ( $j = 1 \sim y$ ) に接続されており、ソースとドレインは、一方が第 1 の電源線  $V i$  ( $i = 1 \sim x$ ) に、他方が電流制御用トランジスタ 2 0 3 のゲートに接続されている。駆動用トランジスタ 2 0 2 のゲートは第 2 の電源線  $W i$  ( $i = 1 \sim x$ ) に接続されている。そして駆動用トランジスタ 2 0 2 及び電流制御用トランジスタ 2 0 3 は、第 1 の電源線  $V i$  ( $i = 1 \sim x$ ) から供給される電流が、駆動用トランジスタ 2 0 2 及び電流制御用トランジスタ 2 0 3 のドレイン電流として発光素子 2 0 4 に供給されるように、第 1 の電源線  $V i$  ( $i = 1 \sim x$ )、発光素子 2 0 4 と接続されている。本実施の形態では、電流制御用トランジスタ 2 0 3 のソースが第 1 の電源線  $V i$  ( $i = 1 \sim x$ ) に接続され、駆動用トランジスタ 2 0 2 のドレインが発光素子 2 0 4 の画素電極に接続される。

**【0054】**

なお駆動用トランジスタ202のソースを第1の電源線 $V_i$  ( $i=1\sim x$ )に接続し、電流制御用トランジスタ203のドレインを発光素子204の画素電極に接続してもよい。

**【0055】**

発光素子204は陽極と陰極と、陽極と陰極との間に設けられた電界発光層とからなる。図2のように陽極が駆動用トランジスタ202と接続している場合、陽極が画素電極、陰極が対向電極となる。発光素子204の対向電極と、第1の電源線 $V_i$  ( $i=1\sim x$ )のそれぞれには、発光素子204に順バイアス方向の電流が供給されるように、電位差が設けられている。

**【0056】**

容量素子205が有する2つの電極は、一方は第1の電源線 $V_i$  ( $i=1\sim x$ )に接続されており、もう一方は電流制御用トランジスタ203のゲートに接続されている。

**【0057】**

図2では駆動用トランジスタ202および電流制御用トランジスタ203をP型トランジスタとし、駆動用トランジスタ202のドレインと発光素子204の陽極とを接続した。逆に駆動用トランジスタ202および電流制御用トランジスタ203をN型トランジスタとするならば、駆動用トランジスタ202のソースと発光素子204の陰極とを接続する。この場合、発光素子204の陰極が画素電極、陽極が対向電極となる。

**【0058】**

図2に示す画素は、その動作を書き込み期間、データ保持期間、消去期間とに分けて説明することができる。書き込み期間とデータ保持期間におけるスイッチング用トランジスタ201、駆動用トランジスタ202及び電流制御用トランジスタ203の動作については、図1の場合と同様である。

**【0059】**

図21(A)に、書き込み期間においてビデオ信号によって電流制御用トランジスタ203がオンの場合の動作を、図21(B)に、書き込み期間において電

流制御用トランジスタ 203 がオフの場合の動作を示す。また図 21 (C) に、保持期間において電流制御用トランジスタ 203 がオンの場合の動作を、図 21 (D) に、消去期間における動作を示す。なお、図 21 (A) ~ 図 21 (D) では動作を分かり易くするために、スイッチング素子として用いるスイッチング用トランジスタ 201 と、電流制御用トランジスタ 203 と、消去用トランジスタ 206 とをスイッチとして示す。

#### 【0060】

まず書き込み期間において第 1 の走査線  $G a_j$  ( $j = 1 \sim y$ ) が選択されると、第 1 の走査線  $G a_j$  ( $j = 1 \sim y$ ) にゲートが接続されているスイッチング用トランジスタ 201 がオンになる。そして、信号線  $S_i$  ( $i = 1 \sim x$ ) に入力されたビデオ信号が、スイッチング用トランジスタ 201 を介して電流制御用トランジスタ 203 のゲートに入力される。なお、駆動用トランジスタ 202 はゲートが第 1 の電源線  $V_i$  ( $i = 1 \sim x$ ) に接続されているため、常にオン状態である。

#### 【0061】

ビデオ信号によって電流制御用トランジスタ 203 がオンになる場合は、図 21 (A) に示すように、第 1 の電源線  $V_i$  ( $i = 1 \sim x$ ) を介して電流が発光素子 204 に供給される。このとき電流制御用トランジスタ 203 は線形領域で動作しているため、発光素子 204 に流れる電流は、飽和領域で動作する駆動用トランジスタ 202 と発光素子 204 の電圧電流特性によって決まる。そして発光素子 204 は、供給される電流に見合った高さの輝度で発光する。

#### 【0062】

また、図 21 (B) に示すように、ビデオ信号によって電流制御用トランジスタ 203 がオフになる場合は、発光素子 204 への電流の供給は行なわれず、発光素子 204 は発光しない。

#### 【0063】

データ保持期間では、第 1 の走査線  $G a_j$  ( $j = 1 \sim y$ ) の電位を制御することでスイッチング用トランジスタ 201 をオフにし、書き込み期間において書き込まれたビデオ信号の電位を保持する。書き込み期間において電流制御用トラン

ジスタ 203 をオンにした場合、ビデオ信号の電位は容量素子 205 によって保持されているので、図 21 (C) に示すように、発光素子 204 への電流の供給は維持されている。逆に、書き込み期間において電流制御用トランジスタ 203 をオフにした場合、ビデオ信号の電位は容量素子 205 によって保持されているので、発光素子 204 への電流の供給は行なわれていない。

#### 【0064】

消去期間では、図 21 (D) に示すように、第 2 の走査線  $G_{ej}$  ( $j = 1 \sim y$ ) が選択されて消去用トランジスタ 206 がオンになり、電源線  $V_i$  ( $i = 1 \sim x$ ) の電位が消去用トランジスタ 206 を介して電流制御用トランジスタ 203 のゲートに与えられる。よって、電流制御用トランジスタ 203 がオフになるため、発光素子 204 に強制的に電流が供給されない状態を作り出すことができる。

#### 【0065】

##### 【実施例】

以下に、本発明の実施例について記載する。

#### 【0066】

##### 〔実施例 1〕

アクティブマトリクス型表示装置に本発明の画素構成が使用される場合、その構成と駆動について説明する。

#### 【0067】

図 3 に外部回路のブロック図とパネルの概略図を示す。

#### 【0068】

図 3 に示すように、アクティブマトリクス型表示装置は外部回路 3004 及びパネル 3010 を有する。外部回路 3004 は A/D 変換部 3001、電源部 3002 及び信号生成部 3003 を有する。A/D 変換部 3001 はアナログ信号で入力された映像データ信号をデジタル信号（ビデオ信号）に変換し、信号線駆動回路 3006 へ供給する。電源部 3002 はバッテリーやコンセントより供給された電源から、それぞれ所望の電圧値の電源を生成し、信号線駆動回路 3006、走査線駆動回路 3007、発光素子 3011、信号生成部 3003 等へ供給

する。信号生成部 3003 には、電源、映像信号及び同期信号等が入力され、各種信号の変換を行う他、信号線駆動回路 3006 及び走査線駆動回路 3007 を駆動するためのクロック信号等を生成する。

#### 【0069】

外部回路 3004 からの信号及び電源は FPC を通し、パネル 3010 内の FPC 接続部 3005 から内部回路等に入力される。

#### 【0070】

また、パネル 3010 は基板 3008 上に、FPC 接続部 3005、内部回路が配置され、また、発光素子 3011 を有する。内部回路は信号線駆動回路 3006、走査線駆動回路 3007 及び画素部 3009 を有する。図 3 には例として実施形態 1 に記載の画素を採用しているが、前記画素部 3009 に本発明の実施形態に挙げたいずれかの画素構成を採用することができる。

#### 【0071】

基板中央には画素部 3009 が配置され、その周辺には、信号線駆動回路 3006 及び走査線駆動回路 3007 が配置されている。発光素子 3011 及び、前記発光素子の対向電極は画素部 3009 全体面に形成されている。

#### 【0072】

より詳しく、図 4 に信号線駆動回路 3006 のブロック図を示す。

#### 【0073】

信号線駆動回路 3006 は D-フリップフロップ 4001 を複数段用いてなるシフトレジスタ 4002、データラッチ回路 4003、ラッチ回路 4004、レベルシフタ 4005 及びバッファ 4006 等を有する。

#### 【0074】

入力される信号はクロック信号線 (SCK)、反転クロック信号線 (SCKB)、スタートパルス (S-SP)、ビデオ信号 (DATA) 及びラッチパルス (Latch Pulse) とする。

#### 【0075】

まず、クロック信号、クロック反転信号及びスタートパルスのタイミングに従って、シフトレジスタ 4002 より、順次サンプリングパルスが出力される。サ

ンプリングパルスはデータラッチ回路 4 0 0 3 へ入力され、そのタイミングで、ビデオ信号を取り込み、保持する。この動作が一行目から順に行われる。

#### 【0 0 7 6】

最終段のデータラッチ回路 4 0 0 3 においてビデオ信号の保持が完了すると、水平帰線期間中にラッチパルスが入力され、データラッチ回路 4 0 0 3 において保持されているビデオ信号は一斉にラッチ回路 4 0 0 4 へと転送される。その後、レベルシフタ 4 0 0 5 においてレベルシフトされ、バッファ 4 0 0 6 において整形された後、信号線 S 1 から S n へ一斉に出力される。その際、走査線駆動回路 3 0 0 7 によって選択された行の画素へ、H レベル、L レベルが入力され、発光素子 3 0 1 1 の発光、非発光を制御する。

#### 【0 0 7 7】

本実施例にて示したアクティブマトリクス型表示装置はパネル 3 0 1 0 と外部回路 3 0 0 4 が独立されているが、これらを同一基板上に一体形成して作製してもよい。また、表示装置は例として、O L E D を使用したものとしたが、O L E D 以外の発光素子を利用した発光装置でもよい。また、信号線駆動回路 3 0 0 6 内にレベルシフタ 4 0 0 5 及びバッファ 4 0 0 6 が無くてもよい。

#### 【0 0 7 8】

##### [実施例 2]

本実施例では、図 2 に示した画素の、上面図の一実施例について説明する。図 5 に本実施例の画素の上面図を示す。

#### 【0 0 7 9】

5 0 0 1 は信号線、5 0 0 2 は第 1 の電源線、5 0 1 1 は第 2 の電源線に相当し、5 0 0 4 は第 1 の走査線、5 0 0 3 は第 2 の走査線に相当する。本実施例では、信号線 5 0 0 1 と第 1 の電源線 5 0 0 2 と第 2 の電源線 5 0 1 1 は同じ導電膜で形成し、第 1 の走査線 5 0 0 4 と第 2 の走査線 5 0 0 3 は同じ導電膜で形成する。また 5 0 0 5 はスイッチング用トランジスタであり、第 1 の走査線 5 0 0 4 の一部がそのゲート電極として機能する。また 5 0 0 6 は消去用トランジスタであり、第 2 の走査線 5 0 0 3 の一部がそのゲート電極として機能する。5 0 0 7 は駆動用トランジスタ、5 0 0 8 は電流制御用トランジスタに相当する。駆動

用トランジスタ5007は、そのL/Wが電流制御用トランジスタ5008よりも大きくなるように、活性層が曲がりくねっている。5009は画素電極に相当し、電界発光層や陰極（共に図示せず）と重なる領域（発光エリア）5010において発光する。

#### 【0080】

なお本発明の上面図は本の一実施例であり、本発明はこれに限定されないことは言うまでもない。

#### 【0081】

##### [実施例3]

本実施例では、図2に示した画素の、図5とは異なる上面図の一実施例について説明する。図8に本実施例の画素の上面図を示す。

#### 【0082】

8001は信号線、8002は第1の電源線、8011は第2の電源線に相当し、8004は第1の走査線、8003は第2の走査線に相当する。本実施例では、信号線8001と第1の電源線8002と第2の電源線8011は同じ導電膜で形成し、第1の走査線8004と第2の走査線8003は同じ導電膜で形成する。また8005はスイッチング用トランジスタであり、第1の走査線8004の一部がそのゲート電極として機能する。また8006は消去用トランジスタであり、第2の走査線8003の一部がそのゲート電極として機能する。8007は駆動用トランジスタ、8008は電流制御用トランジスタに相当する。駆動用トランジスタ8007は、そのL/Wが電流制御用トランジスタ8008よりも大きくなるように、活性層が曲がりくねっている。8009は画素電極に相当し、電界発光層や陰極（共に図示せず）と重なる領域（発光エリア）8010において発光する。また、8012は容量手段であり、第2の電源線8011と電流制御用トランジスタ8008との間のゲート絶縁膜によってなる。

#### 【0083】

なお本発明の上面図は本の一実施例であり、本発明はこれに限定されないことは言うまでもない。

#### 【0084】



## [実施例 4]

本実施例では、画素の断面構造について説明する。

## 【0085】

図 9 (A) に、駆動用トランジスタ 9021 が P 型で、発光素子 9022 から発せられる光が陽極 9023 側に抜ける場合の、画素の断面図を示す。図 9 (A) では、発光素子 9022 の陽極 9023 と駆動用トランジスタ 9021 が電氣的に接続されており、陽極 9023 上に電界発光層 9024、陰極 9025 が順に積層されている。陰極 9025 は仕事関数が小さく、なおかつ光を反射する導電膜であれば公知の材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi 等が望ましい。そして電界発光層 9024 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陽極 9023 上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極 9023 は光を透過する透明導電膜を用いて形成し、例えば ITO の他、酸化インジウムに 2 ~ 20 % の酸化亜鉛 (ZnO) を混合した透明導電膜を用いても良い。

## 【0086】

陽極 9023 と、電界発光層 9024 と、陰極 9025 とが重なっている部分が発光素子 9022 に相当する。図 9 (A) に示した画素の場合、発光素子 9022 から発せられる光は、白抜きの矢印で示すように陽極 9023 側に抜ける。

## 【0087】

図 9 (B) に、駆動用トランジスタ 9001 が N 型で、発光素子 9002 から発せられる光が陽極 9005 側に抜ける場合の、画素の断面図を示す。図 9 (B) では、発光素子 9002 の陰極 9003 と駆動用トランジスタ 9001 が電氣的に接続されており、陰極 9003 上に電界発光層 9004、陽極 9005 が順に積層されている。陰極 9003 は仕事関数が小さく、なおかつ光を反射する導電膜であれば公知の材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi 等が望ましい。そして電界発光層 9004 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

。複数の層で構成されている場合、陰極 9003 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極 9005 は光を透過する透明導電膜を用いて形成し、例えば ITO の他、酸化インジウムに 2～20% の酸化亜鉛 (ZnO) を混合した透明導電膜を用いても良い。

#### 【0088】

陰極 9003 と、電界発光層 9004 と、陽極 9005 とが重なっている部分が発光素子 9002 に相当する。図 9 (B) に示した画素の場合、発光素子 9002 から発せられる光は、白抜きの矢印で示すように陽極 9005 側に抜ける。

#### 【0089】

なお本実施例では、駆動用トランジスタと発光素子が電氣的に接続されている例を示したが、駆動用トランジスタと発光素子との間に電流制御用トランジスタが接続されている構成であってもよい。

#### 【0090】

##### [実施例 5]

本発明の画素構成を用いた駆動タイミングの一例を、図 10 を用いて説明する。

#### 【0091】

図 10 (A) はデジタル時間階調方式を用い、4 ビット階調を表現する場合の例である。データ保持期間  $T_{s1} \sim T_{s4}$  は、その長さの比を  $T_{s1} : T_{s2} : T_{s3} : T_{s4} = 2^3 : 2^2 : 2^1 : 2^0 = 8 : 4 : 2 : 1$  としている。

#### 【0092】

動作について説明する。まず、書き込み期間  $T_{b1}$  において、1 行目から順に第 1 の走査線が選択され、スイッチング用トランジスタがオンする。次に、信号線よりビデオ信号が各画素に入力され、その電位によって各画素の発光、非発光が制御される。ビデオ信号の書き込みが完了した行においては、直ちにデータ保持期間  $T_{s1}$  へと移る。同じ動作が、最終行まで行われ、期間  $T_{a1}$  が終了する。このとき、データ保持期間  $T_{s1}$  が終了した行から順に書き込み期間  $T_{b2}$  へ移る。

#### 【0093】

ここで、書き込み期間よりも短いデータ保持期間を有するサブフレーム期間(ここではSF4が該当する)においては、データ保持期間の終了後、直ちに次の期間が開始しないよう、消去期間2102を設ける。消去期間において発光素子は、強制的に非発光状態とされる。

#### 【0094】

ここでは4ビット階調を表現する場合について説明したが、ビット数及び階調数はこれに限定されない。また、発光の順番はTs1～Ts4である必要はなく、ランダムでもよいし、複数に分割して発光をしてもよい。

#### 【0095】

また、図10(B)に書き込みパルス及び消去パルスの例を示す。前記消去パルスは消去パルス①に示すように、1行ずつパルスを入力し、消去期間中は容量手段等によって保持してもよいし、消去パルス②に示すように、消去期間中ずっと、Hレベルを入力しつづけてもよい。尚、図10(B)に示すパルスはいずれもスイッチング用トランジスタ及び消去用トランジスタがN型である場合であり、前記スイッチング用トランジスタ及び前記消去用トランジスタがP型である場合は、図10(B)のパルスはいずれもHレベルとLレベルが反転する。

#### 【0096】

##### [実施例6]

本発明の表示装置は様々な電子機器の表示部に用いることができる。特に低消費電力が要求されるモバイル機器には本発明の表示装置を用いることが望ましい。

#### 【0097】

具体的に前記電子機器として、携帯情報端末(携帯電話、モバイルコンピュータ、携帯型ゲーム機または電子書籍等)、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、表示ディスプレイ、ナビゲーションシステム等が挙げられる。これら電子機器の具体例を図6に示す。

#### 【0098】

図6(A)表示ディスプレイであり、筐体6001、音声出力部6002、表示部6003等を含む。本発明の表示装置は表示部6003に用いることができ

る。表示装置は、パソコン用、TV放送受信用、広告表示用など全ての情報表示装置が含まれる。

#### 【0099】

図6（B）はモバイルコンピュータであり、本体6101、スタイラス6102、表示部6103、操作ボタン6104、外部インターフェイス6105等を含む。本発明の表示装置は表示部6103に用いることができる。

#### 【0100】

図6（C）はゲーム機であり、本体6201、表示部6202、操作ボタン6203等を含む。本発明の表示装置は表示部6202に用いることができる。

#### 【0101】

図6（D）は携帯電話であり、本体6301、音声出力部6302、音声入力部6303、表示部6304、操作スイッチ6305、アンテナ6306等を含む。本発明の表示装置は表示部6304に用いることができる。

#### 【0102】

以上のように、本発明の表示装置の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。

#### 【0103】

##### [実施例7]

図11を用いて、本発明の発光装置の、画素の断面構造について説明する。図11に、基板7000上に形成されている駆動用トランジスタ7001を示す。駆動用トランジスタ7001は第1の層間絶縁膜7002で覆われており、第1の層間絶縁膜7002上には樹脂等で形成されたカラーフィルタ7003と、コンタクトホールを介して駆動用トランジスタ7001のドレインと電氣的に接続されている配線7004が形成されている。なお、駆動用トランジスタ7001と配線7004の間に電流制御用トランジスタが設けられていても良い。

#### 【0104】

そしてカラーフィルタ7003及び配線7004を覆うように、第1の層間絶縁膜7002上に、第2の層間絶縁膜7005が形成されている。なお、第1の層間絶縁膜7002または第2の層間絶縁膜7005は、プラズマCVD法また

はスパッタ法を用い、酸化珪素、窒化珪素または酸化窒化珪素膜を単層でまたは積層して用いることができる。また酸素よりも窒素のモル比率が高い酸化窒化珪素膜上に、窒素よりも酸素のモル比率が高い酸化窒化珪素膜を積層した膜を第1の層間絶縁膜7002または第2の層間絶縁膜7005として用いても良い。或いは第1の層間絶縁膜7002または第2の層間絶縁膜7005として、有機樹脂膜を用いても良い。

#### 【0105】

第2の層間絶縁膜7005上には、コンタクトホールを介して配線7004に電氣的に接続されている配線7006が形成されている。配線7006の一部は発光素子の陽極として機能している。配線7006は、第2の層間絶縁膜7005を間に挟んで、カラーフィルタ7003と重なる位置に形成する。

#### 【0106】

また第2の層間絶縁膜7005上には隔壁として用いる有機樹脂膜7008が形成されている。有機樹脂膜7008は開口部を有しており、該開口部において陽極として機能する配線7006と電界発光層7009と陰極7010が重なり合うことで発光素子7011が形成されている。電界発光層7009は、発光層単独かもしくは発光層を含む複数の層が積層された構成を有している。なお、有機樹脂膜7008及び陰極7010上に、保護膜を成膜しても良い。この場合、保護膜は水分や酸素などの発光素子の劣化を促進させる原因となる物質を、他の絶縁膜と比較して透過させにくい膜を用いる。代表的には、例えばDLC膜、窒化炭素膜、RFスパッタ法で形成された窒化珪素膜等を用いるのが望ましい。また上述した水分や酸素などの物質を透過させにくい膜と、該膜に比べて水分や酸素などの物質を透過させやすい膜とを積層させて、保護膜として用いることも可能である。

#### 【0107】

また有機樹脂膜7008は、電界発光層7009が成膜される前に、吸着した水分や酸素等を除去するために真空雰囲気下で加熱しておく。具体的には、100℃～200℃、0.5～1時間程度、真空雰囲気下で加熱処理を行なう。望ましくは $3 \times 10^{-7}$  Torr以下とし、可能であるならば $3 \times 10^{-8}$  Torr以下

とするのが最も望ましい。そして、有機樹脂膜に真空雰囲気下で加熱処理を施した後に電界発光層を成膜する場合、成膜直前まで真空雰囲気下に保つことで、信頼性をより高めることができる。

#### 【0108】

また有機樹脂膜 7008 の開口部における端部は、有機樹脂膜 7008 上に一部重なって形成されている電界発光層 7009 に、該端部において穴があかないように、丸みを帯びさせることが望ましい。具体的には、開口部における有機樹脂膜の断面が描いている曲線の曲率半径が、 $0.2 \sim 2 \mu\text{m}$  程度であることが望ましい。

#### 【0109】

上記構成により、後に形成される電界発光層や陰極のカバレッジを良好とすることができ、配線 7006 と陰極 7010 が電界発光層 7009 に形成された穴においてショートするのを防ぐことができる。また電界発光層 7009 の応力を緩和させることで、発光領域が減少するシュリンクとよばれる不良を低減させることができ、信頼性を高めることができる。

#### 【0110】

なお図 11 では、有機樹脂膜 7008 として、ポジ型の感光性のアクリル樹脂を用いた例を示している。感光性の有機樹脂には、光、電子、イオンなどのエネルギー線が露光された箇所が除去されるポジ型と、露光された箇所が残るネガ型とがある。本発明ではネガ型の有機樹脂膜を用いても良い。また感光性のポリイミドを用いて有機樹脂膜 7008 を形成しても良い。ネガ型のアクリルを用いて有機樹脂膜 7008 を形成した場合、開口部における端部が、S 字状の断面形状となる。このとき開口部の上端部及び下端部における曲率半径は、 $0.2 \sim 2 \mu\text{m}$  とすることが望ましい。

#### 【0111】

配線 7006 は透明導電膜を用いることができる。ITO の他、酸化インジウムに  $2 \sim 20\%$  の酸化亜鉛 ( $\text{ZnO}$ ) を混合した透明導電膜を用いても良い。図 11 では配線 7006 とし ITO を用いている。配線 7006 は、その表面が平坦化されるように、CMP 法、ポリビニルアルコール系の多孔質体で拭浄して研

磨しても良い。またCMP法を用いた研磨後に、配線7006の表面に紫外線照射、酸素プラズマ処理などを行ってもよい。

#### 【0112】

また陰極7010は、光が透過する程度の膜厚とし、仕事関数の小さい導電膜であれば公知の他の材料を用いる。例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。なお陰極側から光を得るためには、膜厚を薄くする方法の他に、Liを添加することで仕事関数が小さくなったITOを用いる方法もある。本発明で用いる発光素子は、陽極側と陰極側の両方から光が発せられる構成であれば良い。

#### 【0113】

なお、実際には図11まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や透光性のカバー材7012でパッケージング（封入）することが好ましい。その際、カバー材の内部を不活性雰囲気にしたり、内部に吸湿性材料（例えば酸化バリウム）を配置したりすると発光素子の信頼性が向上する。そして本発明では、カバー材7012にカラーフィルタ7013を設けても良い。

#### 【0114】

なお、本発明は上述した作製方法に限定されず、公知の方法を用いて作製することが可能である。

#### 【0115】

##### 〔実施例8〕

本実施例では、図2に示した画素において、駆動用トランジスタ202と電流制御用トランジスタ203の位置を入れ替えた場合の、画素の構成について説明する。

#### 【0116】

図12に本実施例の画素の回路図を示す。なお図2において既に示した素子や配線については、図12においても同じ符号を付して示す。図12に示した画素と図2に示した画素は、第1の電源線Vi（ $i=1\sim x$ ）から供給される電流が、駆動用トランジスタ202及び電流制御用トランジスタ203のドレイン電流

として、発光素子 204 に供給されるところは同じである。ただし図 12 では、駆動用トランジスタ 202 のソースが第 1 の電源線  $V_i$  ( $i = 1 \sim x$ ) に接続され、電流制御用トランジスタのドレインが発光素子 204 の画素電極に接続されている点において、図 2 に示す画素と異なっている。

#### 【0117】

本実施例のように、駆動用トランジスタ 202 のソースを第 1 の電源線  $V_i$  に接続することで、駆動用トランジスタ 202 のゲート・ソース間電圧  $V_{gs}$  が固定される。つまり、発光素子 204 が劣化しても、当然、飽和領域で動作する駆動用トランジスタ 202 のゲート・ソース間電圧  $V_{gs}$  は変動せずに固定されたままである。よって、本実施例では、発光素子 204 が劣化しても、飽和領域で動作する駆動用トランジスタ 202 のドレイン電流が変動するのを防ぐことができる。

#### 【0118】

##### [実施例 9]

本実施例では、図 12 に示した画素の、上面図の一実施例について説明する。ただし本実施例では、図 12 に示した画素において、発光素子 204 の画素電極と電流制御用トランジスタ 203 のドレインとの間に抵抗を設ける例について示す。図 13 に本実施例の画素の上面図を示す。

#### 【0119】

5101 は信号線、5102 は第 1 の電源線、5111 は第 2 の電源線に相当し、5104 は第 1 の走査線、5103 は第 2 の走査線に相当する。本実施例では、信号線 5101 と第 1 の電源線 5102 と第 2 の電源線 5111 は同じ導電膜で形成し、第 1 の走査線 5104 と第 2 の走査線 5103 は同じ導電膜で形成する。また 5105 はスイッチング用トランジスタであり、第 1 の走査線 5104 の一部がそのゲート電極として機能する。また 5106 は消去用トランジスタであり、第 2 の走査線 5103 の一部がそのゲート電極として機能する。5107 は駆動用トランジスタ、5108 は電流制御用トランジスタに相当する。また 5112 は容量素子に相当し、5113 は半導体膜で形成された抵抗に相当する。駆動用トランジスタ 5107 は、その  $L/W$  が電流制御用トランジスタ 510



8よりも大きくなるように、活性層が曲がりくねっている。5109は画素電極に相当し、画素電極5109と、電界発光層（図示せず）と、陰極（図示せず）とが重なる領域（発光エリア）において、発光する。

#### 【0120】

抵抗5113を設けることで、発光素子の画素電極5109として用いる導電膜を成膜した後、該導電膜をパターンニングして画素電極を形成する前において、該導電膜に帯電した電荷により駆動用トランジスタ5107のドレインの電位が急激に変化し、駆動用トランジスタ5107が破壊されるのを防ぐことができる。また、ELが蒸着されるまでの静電対策として用いることができる。

#### 【0121】

なお本発明の上面図は本の一実施例であり、本発明はこれに限定されないことは言うまでもない。

#### 【0122】

##### [実施例10]

本実施例では、図2に示した画素において、第1走査線 $G a_j$  ( $j = 1 \sim y$ ) または第2走査線 $G b_j$  ( $j = 1 \sim y$ ) を共有している画素が、さらに第2の電源線 $W i$  ( $i = 1 \sim x$ ) を共有している場合の、画素の構成について説明する。

#### 【0123】

図14(A)に本実施例の画素の回路図を示す。なお図2において既に示した素子や配線については、図14(A)においても同じ符号を付して示す。ただし図14(A)では、第1の走査線 $G a_j$  ( $j = 1 \sim y$ ) と、第2の走査線 $G e_j$  ( $j = 1 \sim y$ ) とを共有している画素が、さらに、第2の電源線 $W j$  ( $j = 1 \sim x$ ) を共有している。そして第2の電源線 $W j$  ( $j = 1 \sim x$ ) が、信号線 $S i$  ( $i = 1 \sim x$ ) 及び第1の電源線 $V i$  ( $i = 1 \sim x$ ) と交差しており、同じ第2の走査線 $G e_j$  ( $j = 1 \sim y$ ) を共有している画素は、互いに異なる信号線 $S i$  ( $i = 1 \sim x$ ) を有している。

#### 【0124】

次に図14(B)に、図14(A)に示した画素において、駆動用トランジスタ202のゲートに印加される電圧を、赤色、緑色、青色の画素ごとに分けるこ

とで、ホワイトバランス調節する方法を採用した場合の、画素の構成を示す。図 14 (B) では、赤色に対応した画素 210 において、赤色 (R) 用の第 2 の電源線  $W_{rj}$  が、駆動用トランジスタ 202 のゲートに接続されている。また、緑色に対応した画素 211 において、緑色 (G) 用の第 2 の電源線  $W_{gj}$  が、駆動用トランジスタ 202 のゲートに接続されている。また、青色に対応した画素 212 において、青色 (B) 用の第 2 の電源線  $W_{bj}$  が、駆動用トランジスタ 202 のゲートに接続されている。

#### 【0125】

##### [実施例 11]

本実施例では、図 14 (A)、図 14 (B) に示した画素において、発光素子と駆動用トランジスタ 202 のドレインとの間に抵抗を設けた場合の、画素の構成について説明する。

#### 【0126】

図 15 (A) に、図 14 (A) の画素に抵抗を設けた画素の構成を示す。なお図 14 (A) において既に示した素子や配線については、図 15 (A) においても同じ符号を付して示す。図 15 (A) は図 14 (A) と異なり、発光素子 204 の画素電極と駆動用トランジスタ 202 のドレインとの間に、抵抗 209 を有する。

#### 【0127】

次に図 15 (B) に、図 15 (A) に示した画素において、駆動用トランジスタ 202 のゲートに印加される電圧を、赤色、緑色、青色の画素ごとに分けることで、ホワイトバランス調節する方法を採用した場合の、画素の構成を示す。図 15 (B) では、赤色に対応した画素 210 において、赤色 (R) 用の第 2 の電源線  $W_{rj}$  が、駆動用トランジスタ 202 のゲートに接続されている。また、緑色に対応した画素 211 において、緑色 (G) 用の第 2 の電源線  $W_{gj}$  が、駆動用トランジスタ 202 のゲートに接続されている。また、青色に対応した画素 212 において、青色 (B) 用の第 2 の電源線  $W_{bj}$  が、駆動用トランジスタ 202 のゲートに接続されている。

#### 【0128】

抵抗 209 を設けることで、発光素子 204 の画素電極として用いる導電膜を成膜した後、該導電膜をパターンニングして画素電極を形成する前において、該導電膜に帯電した電荷により駆動用トランジスタ 202 のドレインの電位が急激に変化し、駆動用トランジスタ 202 が破壊されるのを防ぐことができる。また、EL が蒸着されるまでの静電対策として用いることができる。

#### 【0129】

次に、図 15 (A) に示した画素の、上面図の一実施例について説明する。図 16 に本実施例の画素の上面図を示す。

#### 【0130】

5201 は信号線、5202 は第 1 の電源線、5211 は第 2 の電源線に相当し、5204 は第 1 の走査線、5203 は第 2 の走査線に相当する。本実施例では、信号線 5201 と第 1 の電源線 5202 は同じ導電膜で形成し、第 1 の走査線 5204 と第 2 の走査線 5203 と第 2 の電源線 5211 は同じ導電膜で形成する。また 5205 はスイッチング用トランジスタであり、第 1 の走査線 5204 の一部がそのゲート電極として機能する。また 5206 は消去用トランジスタであり、第 2 の走査線 5203 の一部がそのゲート電極として機能する。5207 は駆動用トランジスタ、5208 は電流制御用トランジスタに相当する。また、5212 は容量素子に相当し、5213 は半導体膜で形成された抵抗に相当する。駆動用トランジスタ 5207 は、その L/W が電流制御用トランジスタ 5208 よりも大きくなるように、活性層が曲がりくねっている。5209 は画素電極に相当し、画素電極 5209 と、電界発光層（図示せず）と、陰極（図示せず）とが重なる領域（発光エリア）において、発光する。

#### 【0131】

次に、図 15 (B) に示した画素の、上面図の一実施例について説明する。図 17 に本実施例の画素の上面図を示す。

#### 【0132】

5301 は信号線、5302 は第 1 の電源線、5311 r は赤色の画素に対応する第 2 の電源線、5311 g は緑色の画素に対応する第 2 の電源線、5311 b は青色の画素に対応する第 2 の電源線に相当し、5304 は第 1 の走査線、5

303は第2の走査線に相当する。本実施例では、信号線5301と第1の電源線5302は同じ導電膜で形成し、第1の走査線5304と第2の走査線5303と第2の電源線5311r、5311g、5311bは同じ導電膜で形成する。また5305はスイッチング用トランジスタであり、第1の走査線5304の一部がそのゲート電極として機能する。また5306は消去用トランジスタであり、第2の走査線5303の一部がそのゲート電極として機能する。5307は駆動用トランジスタ、5308は電流制御用トランジスタに相当する。また、5312は容量素子に相当し、5313は半導体膜で形成された抵抗に相当する。駆動用トランジスタ5307は、そのL/Wが電流制御用トランジスタ5308よりも大きくなるように、活性層が曲がりくねっている。5309は画素電極に相当し、画素電極5309と、電界発光層（図示せず）と、陰極（図示せず）とが重なる領域（発光エリア）において、発光する。

#### 【0133】

なお本発明の上面図は本の一実施例であり、本発明はこれに限定されないことは言うまでもない。

#### 【0134】

本発明の発光装置は、画素が有するトランジスタの数が4つなので、例えば、対角4～4.3インチ、隣接する発光素子を分離するための、隔壁として用いる層間膜の幅を20 $\mu$ mとし、VGA（640×480）200dpiで、画素のサイズを45×135 $\mu$ mとすることができる。

#### 【0135】

##### [実施例12]

図18（A）に、駆動用トランジスタ9011がn型で、発光素子9012から発せられる光が陰極9013側に抜ける場合の、画素の断面図を示す。図18（A）では、駆動用トランジスタ9011のドレインと電氣的に接続された透明導電膜9017上に、発光素子9012の陰極9013が成膜されており、陰極9013上に電界発光層9014、陽極9015が順に積層されている。そして陽極9015を覆うように、光を反射または遮蔽するための遮蔽膜9016が成膜されている。陰極9013は、仕事関数が小さく、なおかつ光を反射する導電

膜であれば公知の材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。ただしその膜厚は、光を透過する程度とする。例えば20nmの膜厚を有するAlを、陰極9013として用いることができる。そして電界発光層9014は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極9015は光を透過する必要はないが、例えばITO、ITSO、酸化インジウムに2～20%の酸化亜鉛(ZnO)を混合したIZO等の透明導電膜を用いても良いし、TiまたはTiNを用いても良い。そして遮蔽膜9016は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料を添加した樹脂等を用いることもできる。

#### 【0136】

陰極9013と、電界発光層9014と、陽極9015とが重なっている部分が発光素子9012に相当する。図18(A)に示した画素の場合、発光素子9012から発せられる光は、白抜きの矢印で示すように陰極9013側に抜ける。

#### 【0137】

図18(B)に、駆動用トランジスタ9031がp型で、発光素子9032から発せられる光が陰極9035側に抜ける場合の、画素の断面図を示す。図18(B)では、駆動用トランジスタ9031のドレインと電氣的に接続された配線9037上に、発光素子9032の陽極9033が成膜されており、陽極9033上に電界発光層9034、陰極9035が順に積層されている。上記構成によって、陽極9033において光が透過しても、該光は配線9037において反射される。陰極9035は、図18(A)の場合と同様に、仕事関数が小さい導電膜であれば公知の材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば20nmの膜厚を有するAlを、陰極9035として用いることができる。そして電界発光層9034は、図18(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極9033は光を透過する必要はないが、図18(A)と同様に、透明導電膜を用いて形成することができるし、TiNまたはTiを用いることもでき

る。

#### 【0 1 3 8】

陽極 9 0 3 3 と、電界発光層 9 0 3 4 と、陰極 9 0 3 5 とが重なっている部分が発光素子 9 0 3 2 に相当する。図 1 8 (B) に示した画素の場合、発光素子 9 0 3 2 から発せられる光は、白抜きの矢印で示すように陰極 9 0 3 5 側に抜ける。

#### 【0 1 3 9】

なお本実施例では、駆動用トランジスタと発光素子が電氣的に接続されている例を示したが、駆動用トランジスタと発光素子との間に電流制御用トランジスタが接続されている構成であってもよい。

#### 【0 1 4 0】

##### [実施例 1 3]

本実施例では、駆動用トランジスタと電流制御用トランジスタが共にボトムゲート型の場合の、画素の断面構造について説明する。

#### 【0 1 4 1】

なお本発明で用いることができるトランジスタは、アモルファスシリコンで形成されていても良い。アモルファスシリコンでトランジスタを形成すると、結晶化のプロセスを設けずに済むので、作製方法を簡略化することができ、低コスト化が図れる。ただしアモルファスシリコンで形成されたトランジスタは p 型よりも n 型の方が移動度は高く、発光装置の画素に用いるのにより適している。本実施例では、駆動用トランジスタが n 型の場合における、画素の断面構造について説明する。

#### 【0 1 4 2】

図 1 9 (A) に、本実施例の画素の断面図を示す。6 5 0 1 は駆動用トランジスタ、6 5 0 2 は電流制御用トランジスタに相当する。駆動用トランジスタ 6 5 0 1 は、絶縁表面を有する基板 6 5 0 0 上に形成されたゲート電極 6 5 0 3 と、ゲート電極 6 5 0 3 を覆うように基板 6 5 0 0 上に形成されたゲート絶縁膜 6 5 0 4 と、ゲート絶縁膜 6 5 0 4 を間に挟んでゲート電極 6 5 0 3 と重なる位置に形成された半導体膜 6 5 0 5 とを有している。半導体膜 6 5 0 5 は、ソース又は

ドレインとして機能する、導電型を付与する不純物が添加された2つの不純物領域6506a、6506bを有している。そして不純物領域6506aは配線6506と接続されている。

#### 【0143】

電流制御用トランジスタ6502は、駆動用トランジスタ6501と同様に、絶縁表面を有する基板6500上に形成されたゲート電極6510と、ゲート電極6510を覆うように基板6500上に形成されたゲート絶縁膜6504と、ゲート絶縁膜6504を間に挟んでゲート電極6510と重なる位置に形成された半導体膜6511とを有している。半導体膜6511は、ソース又はドレインとして機能する、導電型を付与する不純物が添加された2つの不純物領域6512a、6512bを有している。そして不純物領域6512aは、配線6513を介して駆動用トランジスタ6501が有する不純物領域6506bと接続されている。

#### 【0144】

駆動用トランジスタ6501及び電流制御用トランジスタ6502は、共に絶縁膜で形成された保護膜6507で覆われている。そして、保護膜6507に形成されたコンタクトホールを介して、配線6508が画素電極6509と接続されている。また、駆動用トランジスタ6501及び電流制御用トランジスタ6502と、保護膜6507は層間絶縁膜6520で覆われている。層間絶縁膜6520は開口部を有しており、該開口部において陽極6509が露出している。陽極6509上には電界発光層6521と、陰極6522が形成されている。

#### 【0145】

なお、図19(A)では、駆動用トランジスタと電流制御用トランジスタが共にn型である場合について説明したが、p型であってもよい。この場合、駆動用トランジスタの閾値を制御するための不純物はp型を用いる。

#### 【0146】

##### [実施例14]

本実施例では、図2に示した画素の、上面図の一実施例について説明する。図20に本実施例の画素の上面図を示す。

**【0147】**

5401は信号線、5402は第1の電源線、5411a、5411bは第2の電源線に相当し、5404は第1の走査線、5403は第2の走査線に相当する。本実施例では、信号線5401と第1の電源線5402と第2の電源線5411aは同じ導電膜で形成し、第1の走査線5404と第2の走査線5403と第2の電源線5411bは同じ導電膜で形成する。また5405はスイッチング用トランジスタであり、第1の走査線5404の一部がそのゲート電極として機能する。また5406は消去用トランジスタであり、第2の走査線5403の一部がそのゲート電極として機能する。5407は駆動用トランジスタ、5408は電流制御用トランジスタに相当する。また5412は容量素子に相当し、5413は半導体膜で形成された抵抗に相当する。駆動用トランジスタ5407は、そのL/Wが電流制御用トランジスタ5408よりも大きくなるように、活性層が曲がりくねっている。5409は画素電極に相当し、画素電極5409と、電界発光層（図示せず）と、陰極（図示せず）と重なる領域（発光エリア）5410において、発光する。

**【0148】**

なお本発明の上面図は本の一実施例であり、本発明はこれに限定されないことは言うまでもない。

**【0149】****【発明の効果】**

電流制御用トランジスタのゲート・ソース間に設けられた容量素子の容量を大きくしたり、スイッチング用トランジスタのオフ電流を低く抑えたりしなくても、発光素子に流れる電流に影響しない。また、電流制御用トランジスタのゲートにつく寄生容量による影響も受けない。このため、ばらつき要因が減り、画質を大いに高めることができる。

**【0150】**

また、スイッチング用トランジスタはオフ電流を低く抑える必要がないため、トランジスタ作製プロセスを簡略化することができ、コスト削減、歩留まり向上に大きく貢献することができる。

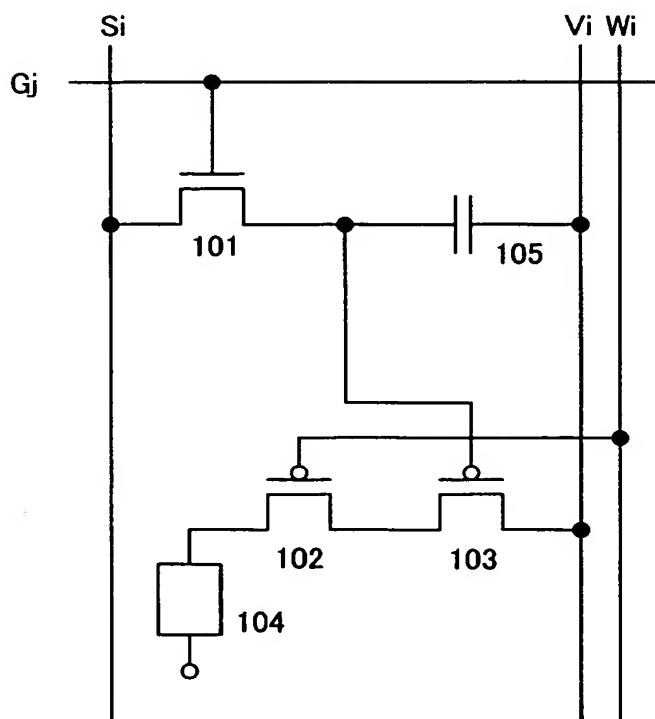


**【図面の簡単な説明】**

- 【図 1】 本発明の一実施形態を示す図。
- 【図 2】 本発明の一実施形態を示す図。
- 【図 3】 外部回路とパネルの概要を示す図。
- 【図 4】 信号線駆動回路の一構成例を示す図。
- 【図 5】 本発明の上面図の一例を示す図。
- 【図 6】 本発明が適用可能な電子機器の例を示す図。
- 【図 7】 従来例を示す図。
- 【図 8】 本発明の上面図の一例を示す図。
- 【図 9】 本発明の断面構造の一例を示す図。
- 【図 1 0】 本発明の動作タイミングの一例を示す図。
- 【図 1 1】 本発明の断面構造の一例を示す図。
- 【図 1 2】 本発明の一実施形態を示す図。
- 【図 1 3】 本発明の上面図の一例を示す図。
- 【図 1 4】 本発明の一実施形態を示す図。
- 【図 1 5】 本発明の一実施形態を示す図。
- 【図 1 6】 本発明の上面図の一例を示す図。
- 【図 1 7】 本発明の上面図の一例を示す図。
- 【図 1 8】 本発明の断面構造の一例を示す図。
- 【図 1 9】 本発明の断面構造の一例を示す図。
- 【図 2 0】 本発明の上面図の一例を示す図。
- 【図 2 1】 本発明の画素の駆動方法を示す図。
- 【図 2 2】 アクティブマトリクス型の発光装置の駆動方法を示す図。
- 【図 2 3】 ビデオ信号が電圧を用いているのか、電流を用いているのかで分類した、駆動方法の一覧。

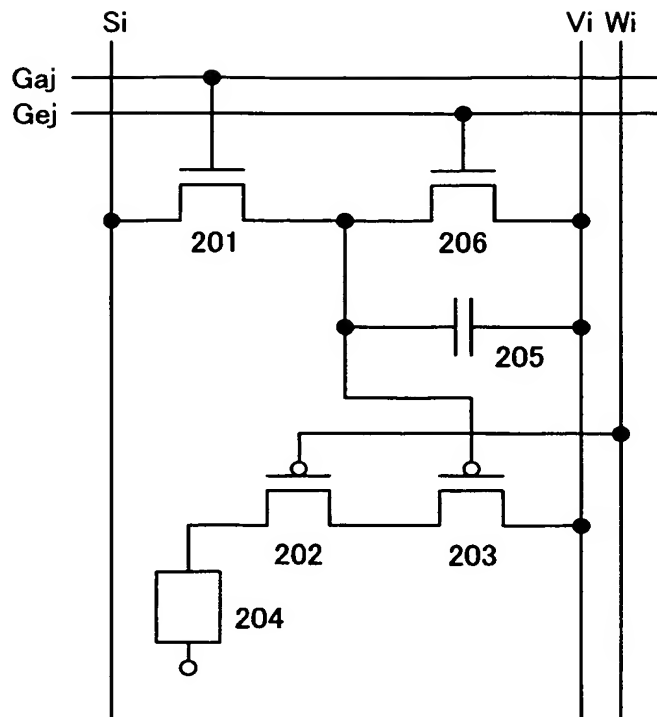
【書類名】 図面

【図 1】



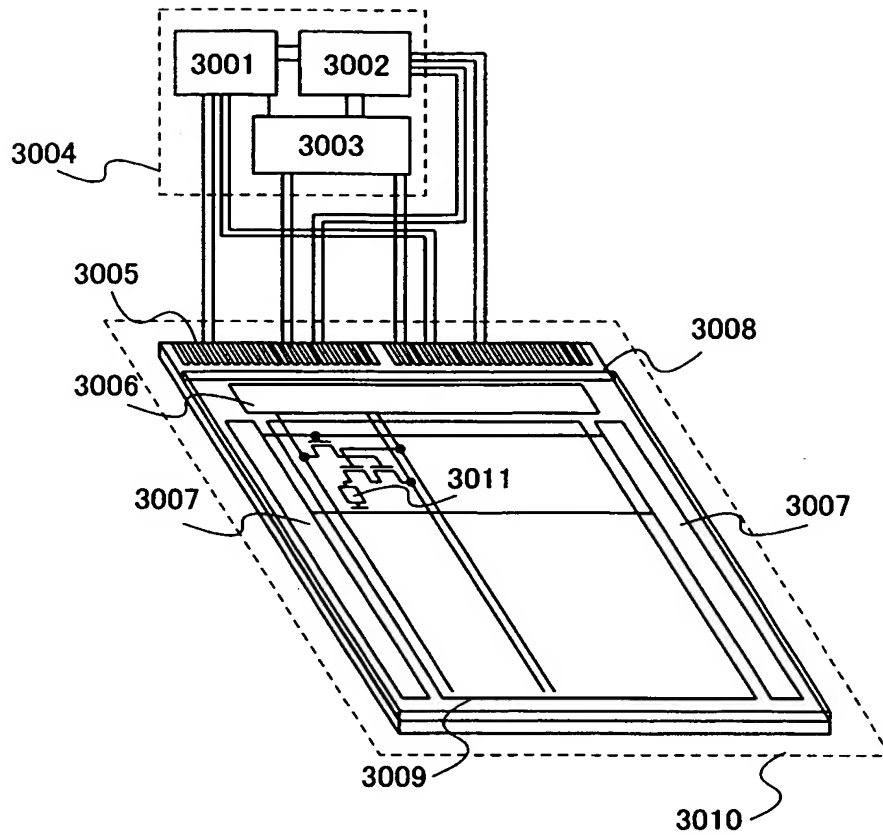
- 101 スイッチング用トランジスタ
- 102 駆動用トランジスタ
- 103 電流制御用トランジスタ
- 104 発光素子
- 105 容量素子

【図 2】



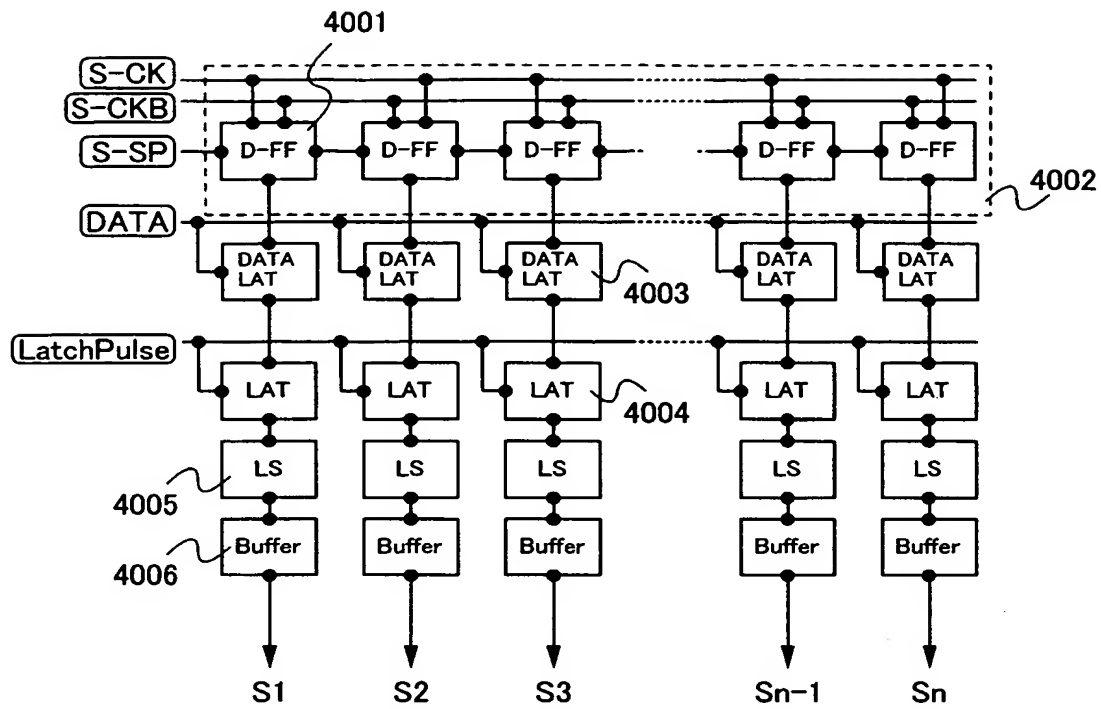
- 201 スイッチング用トランジスタ
- 202 駆動用トランジスタ
- 203 電流制御用トランジスタ
- 204 発光素子
- 205 容量素子
- 206 消去用トランジスタ

【図 3】



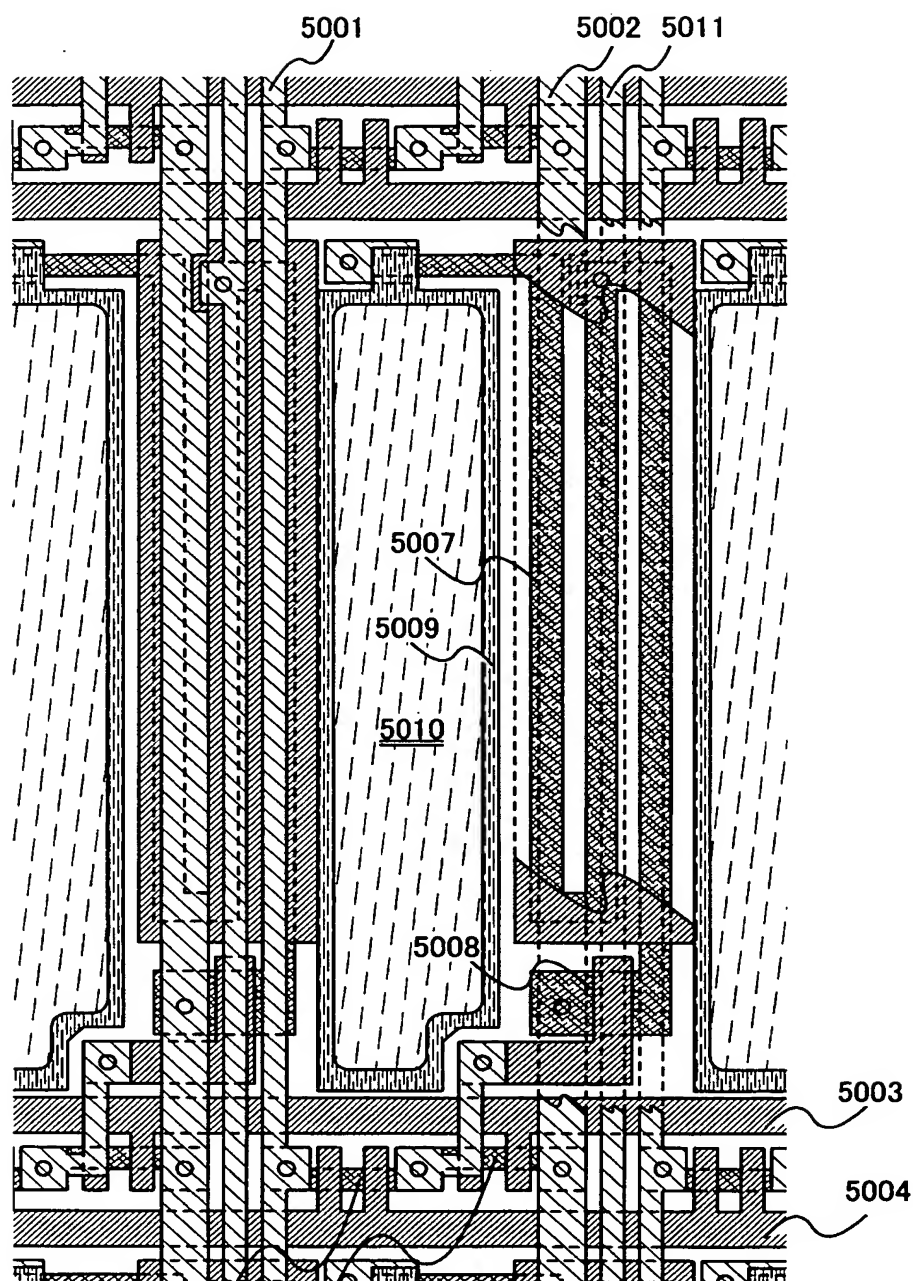
- 3001 : A/D変換部
- 3002 : 電源部
- 3003 : 信号生成部
- 3004 : 外部回路
- 3005 : FPC接続部
- 3006 : 信号線駆動回路
- 3007 : 走査線駆動回路
- 3008 : 基板
- 3009 : 画素部
- 3010 : パネル
- 3011 : OLED素子

【図 4】



- 4001 : D-フリップフロップ  
 4002 : シフトレジスタ  
 4003 : データラッチ回路  
 4004 : ラッチ回路  
 4005 : レベルシフタ  
 4006 : バッファ

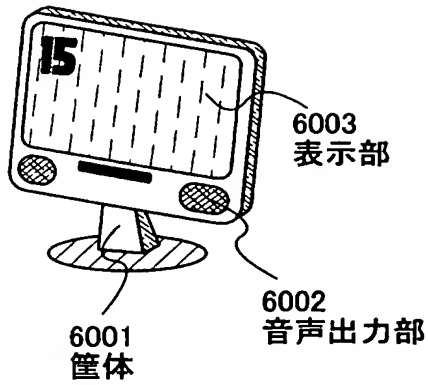
【図 5】



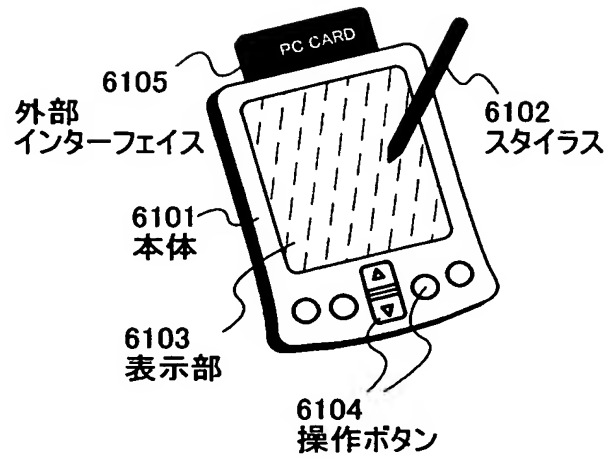
- 5001: 信号線
- 5002: 第1の電源線
- 5003: 第2の走査線
- 5004: 第1の走査線
- 5005: スイッチング用トランジスタ
- 5006: 消去用トランジスタ
- 5007: 駆動用トランジスタ
- 5008: 電流制御用トランジスタ
- 5009: 画素電極
- 5010: 発光エリア
- 5011: 第2の電源線

【図 6】

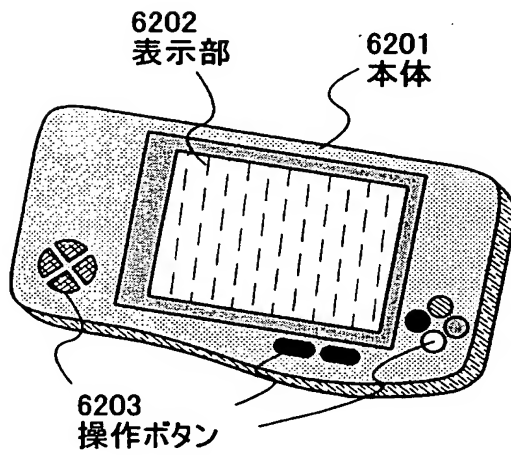
(A)



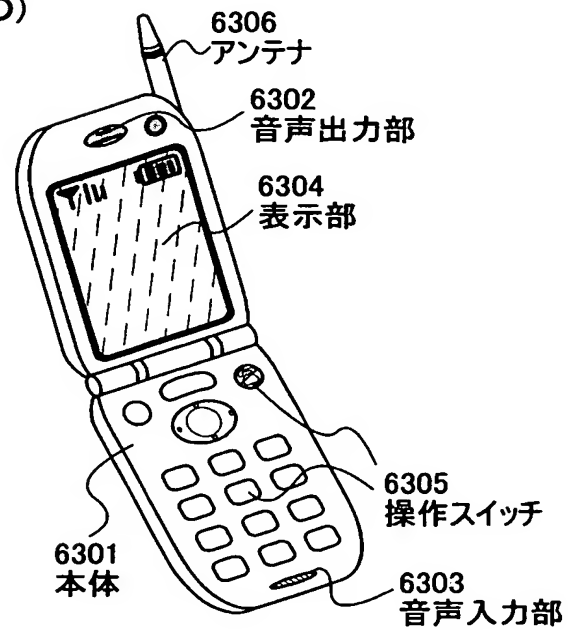
(B)



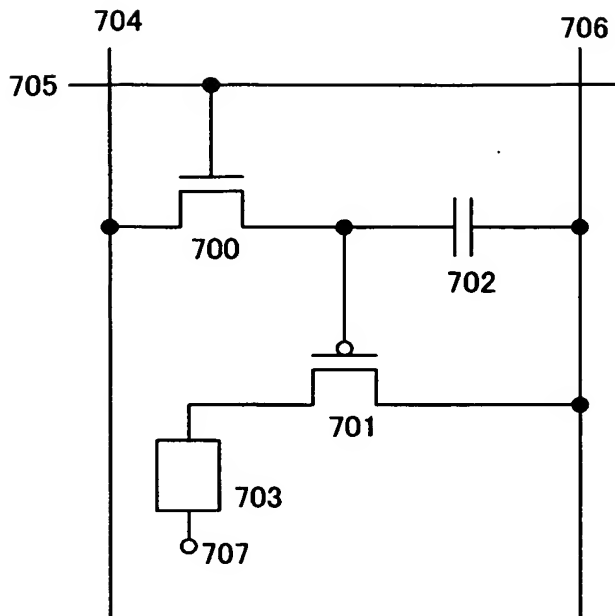
(C)



(D)



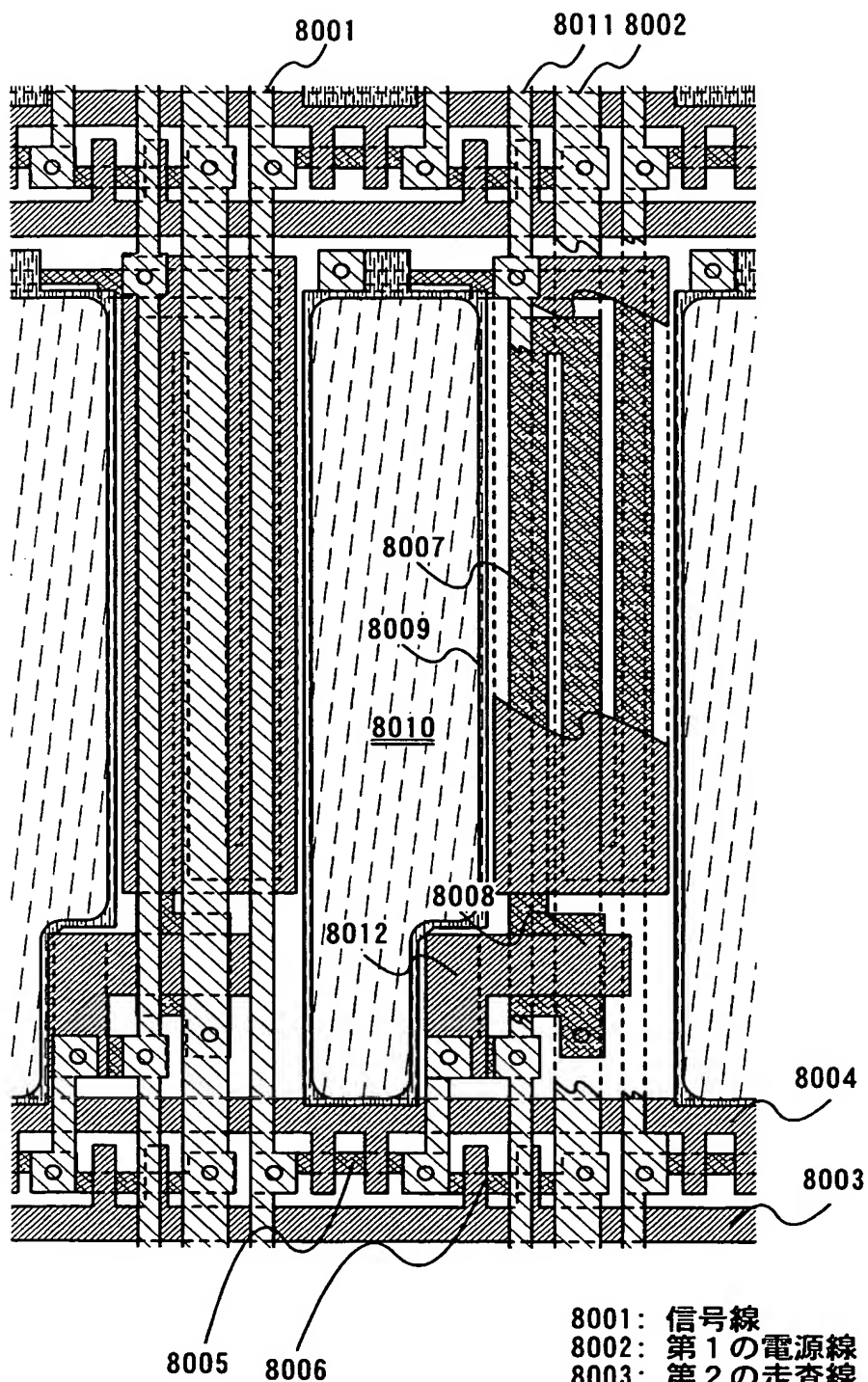
【図 7】



- 700 スイッチング用トランジスタ
- 701 駆動用トランジスタ
- 702 容量素子
- 703 発光素子
- 704 信号線
- 705 走査線
- 706 電源線
- 707 対向電極

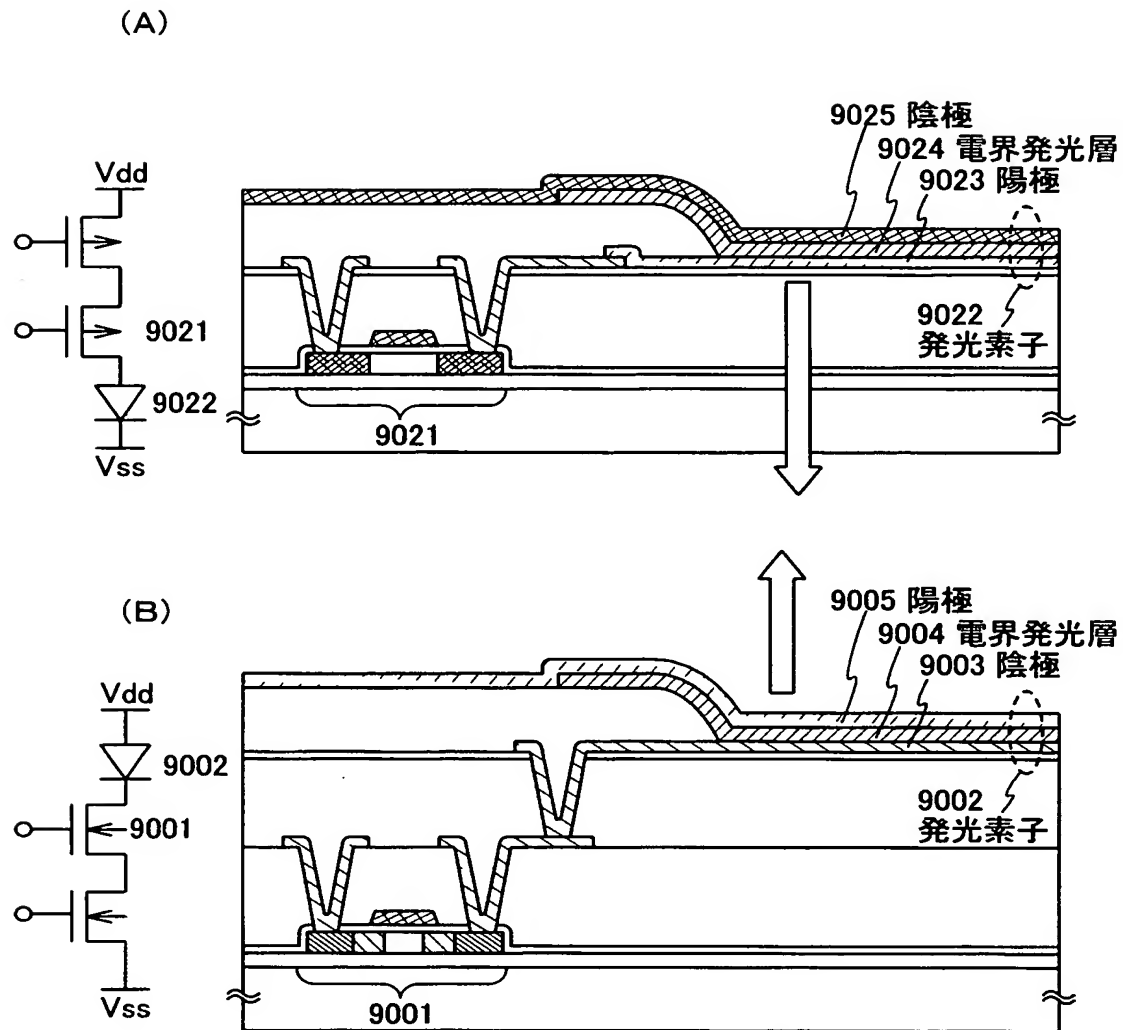
【図 8】





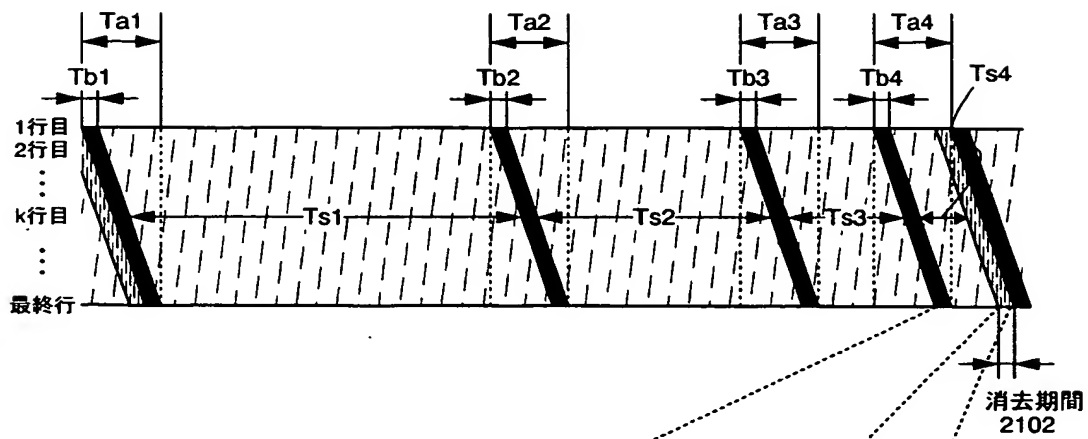
- 8001: 信号線
- 8002: 第1の電源線
- 8003: 第2の走査線
- 8004: 第1の走査線
- 8005: スイッチング用トランジスタ
- 8006: 消去用トランジスタ
- 8007: 駆動用トランジスタ
- 8008: 電流制御用トランジスタ
- 8009: 画素電極
- 8010: 発光エリア
- 8011: 第2の電源線
- 8012: 容量手段

【図 9】

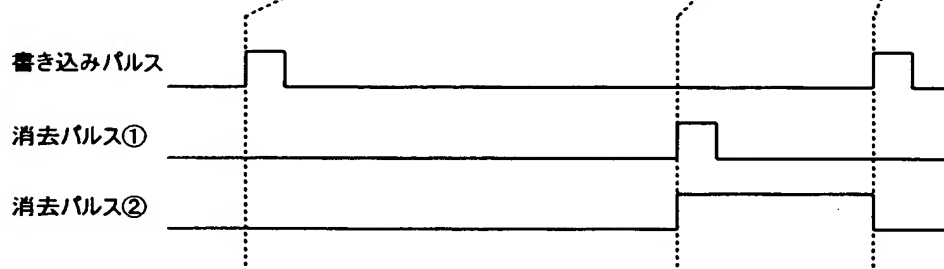


【図 10】

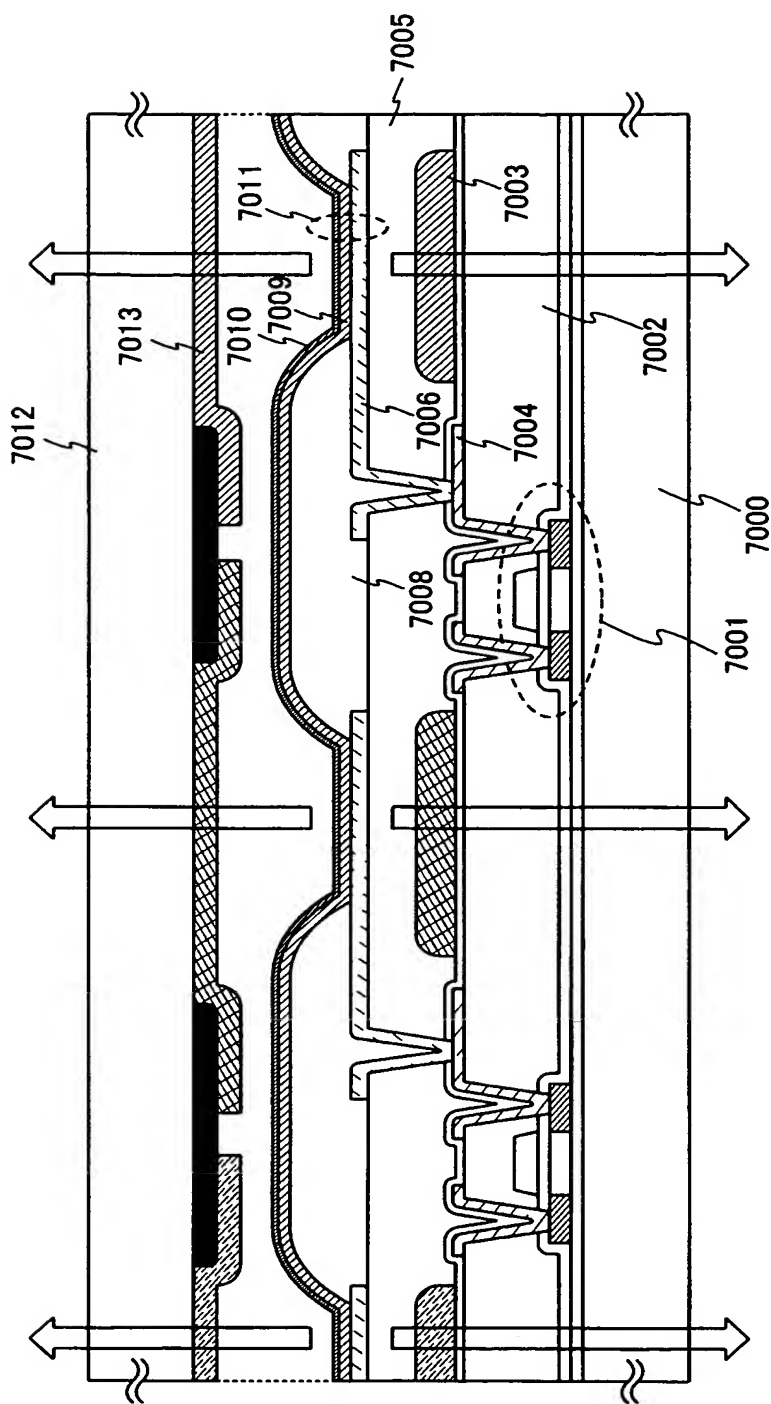
(A)



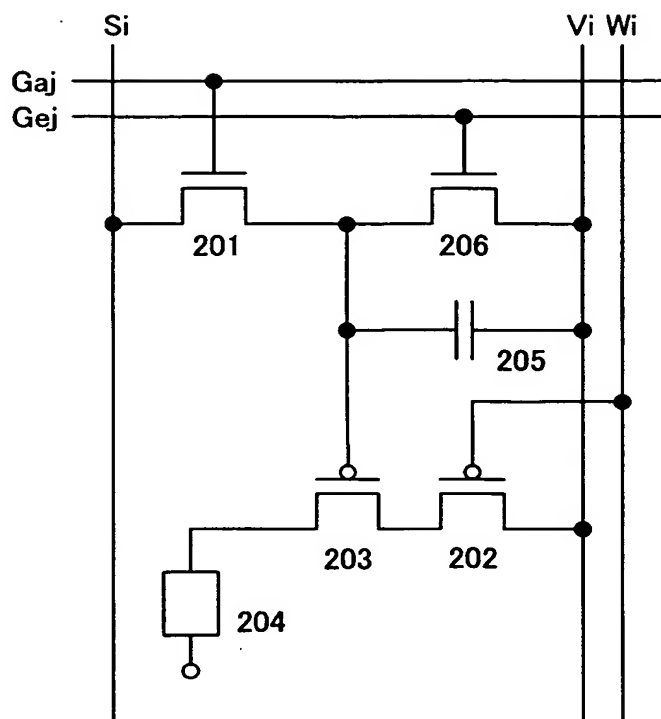
(B)



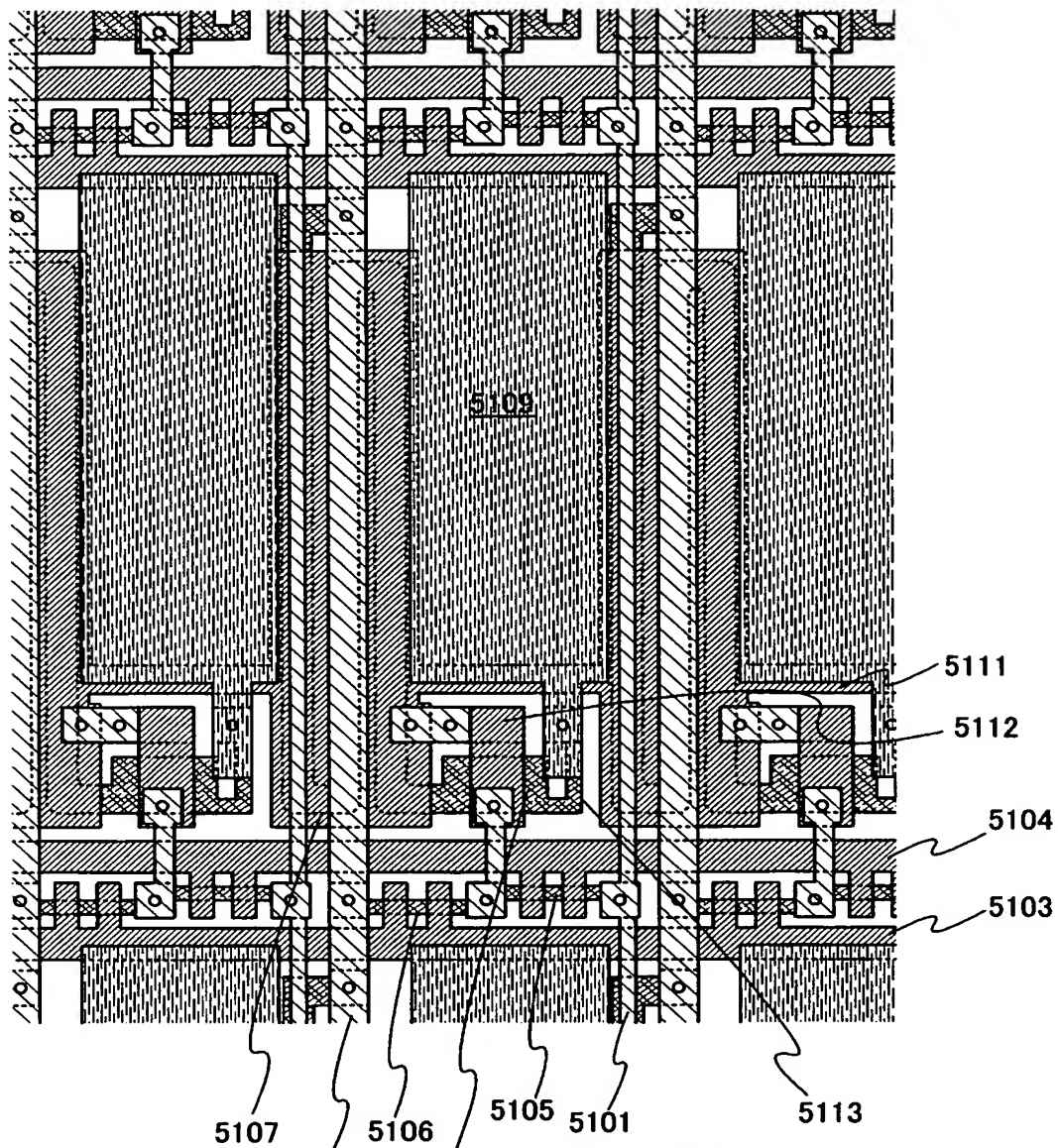
【図 11】



【図 1 2】

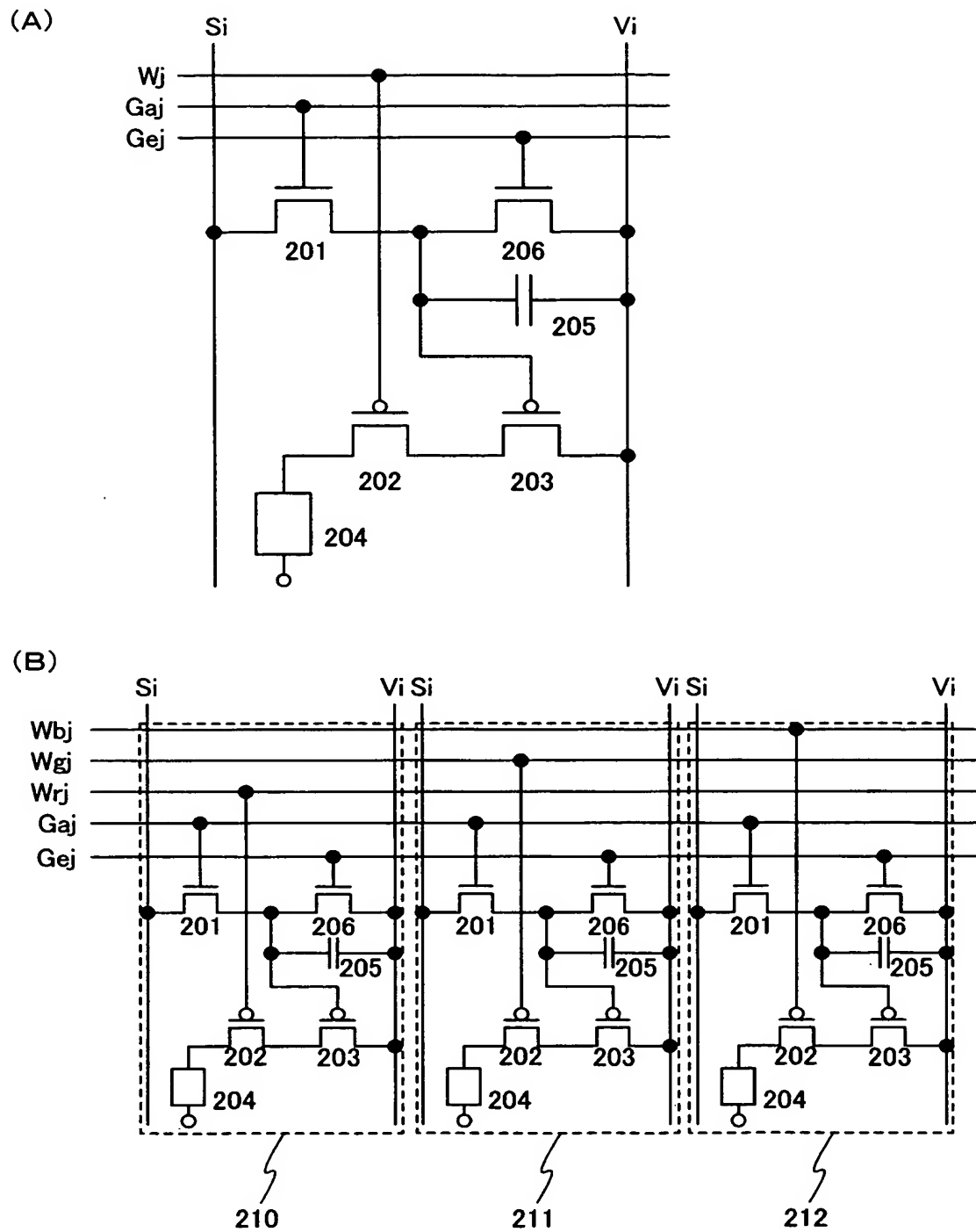


【図 13】



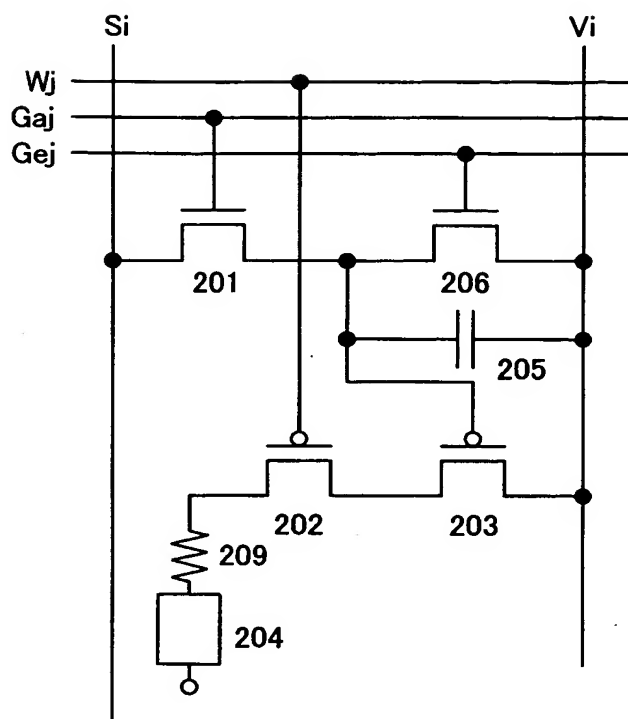
- 5101: 信号線
- 5102: 第1の電源線
- 5103: 第2の走査線
- 5104: 第1の走査線
- 5105: スイッチング用トランジスタ
- 5106: 消去用トランジスタ
- 5107: 駆動用トランジスタ
- 5108: 電流制御用トランジスタ
- 5109: 画素電極
- 5111: 第2の電源線
- 5112: 容量素子
- 5113: 抵抗

【図 14】

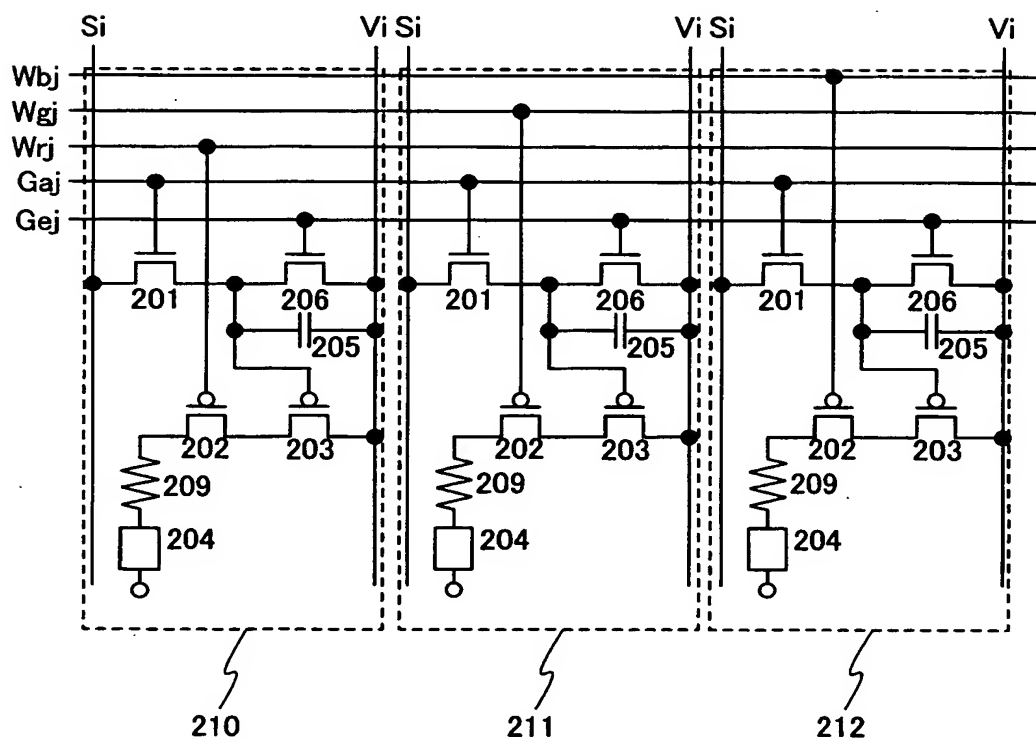


【図 15】

(A)

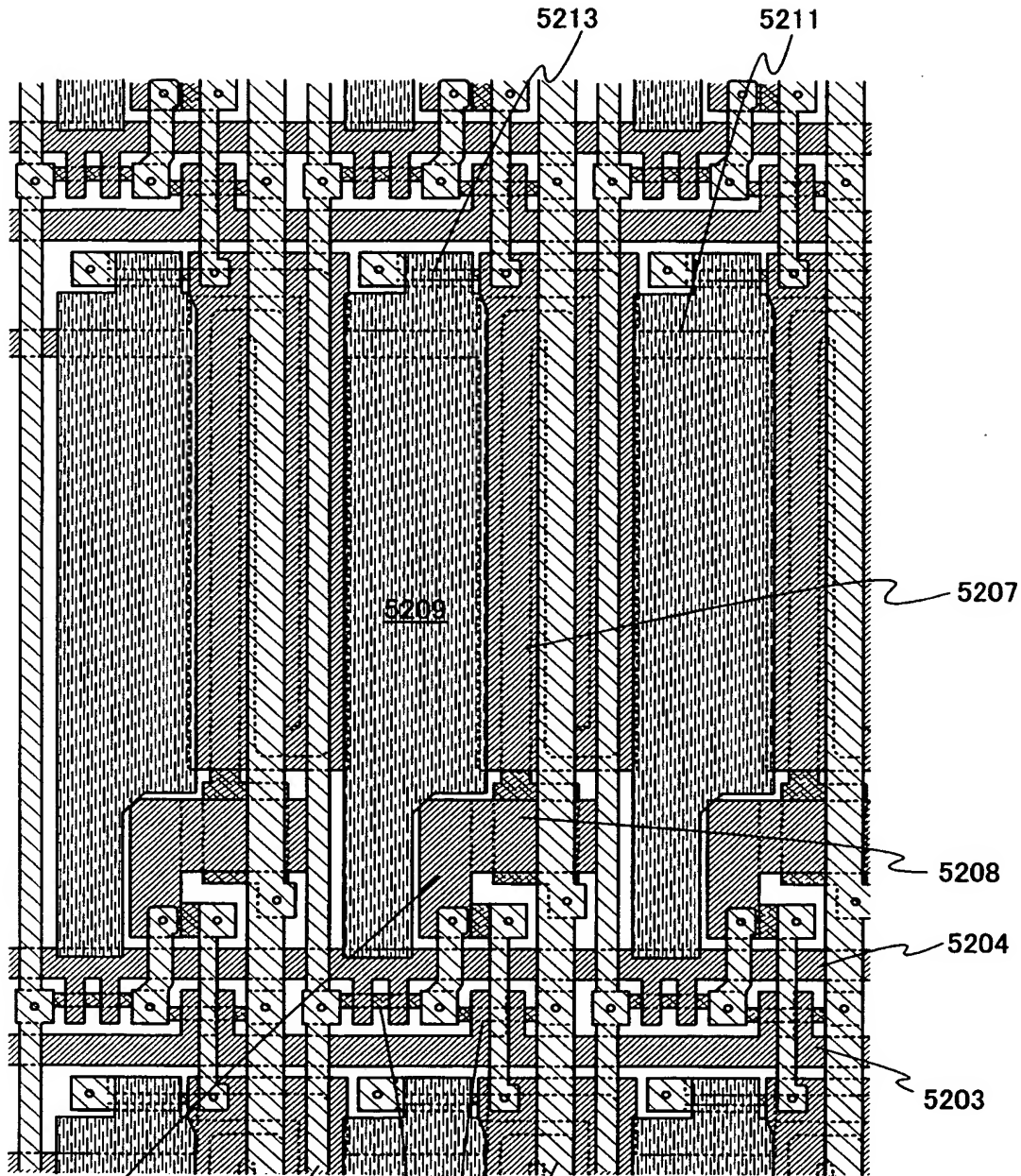


(B)



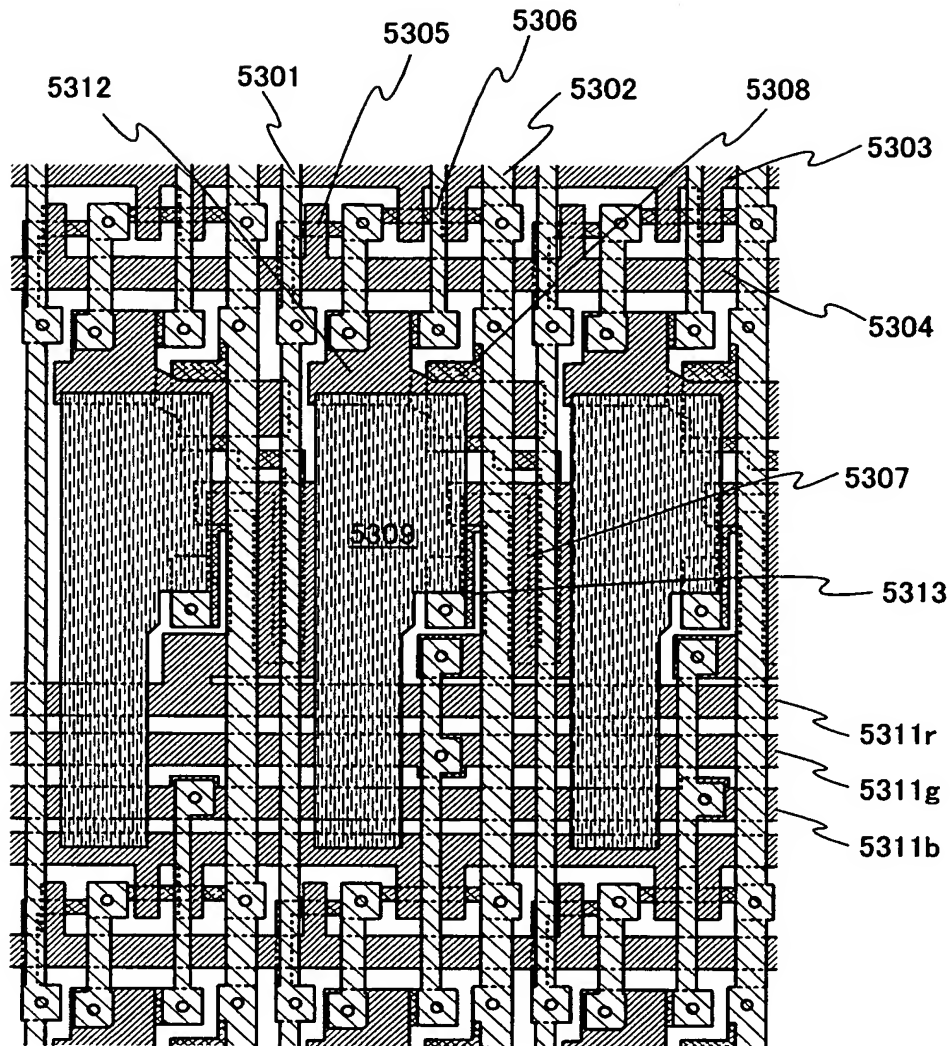
【図 16】





- 5201: 信号線  
 5202: 第1の電源線  
 5203: 第2の走査線  
 5204: 第1の走査線  
 5205: スイッチング用トランジスタ  
 5206: 消去用トランジスタ  
 5207: 駆動用トランジスタ  
 5208: 電流制御用トランジスタ  
 5209: 画素電極  
 5211: 第2の電源線  
 5212: 容量素子  
 5213: 抵抗

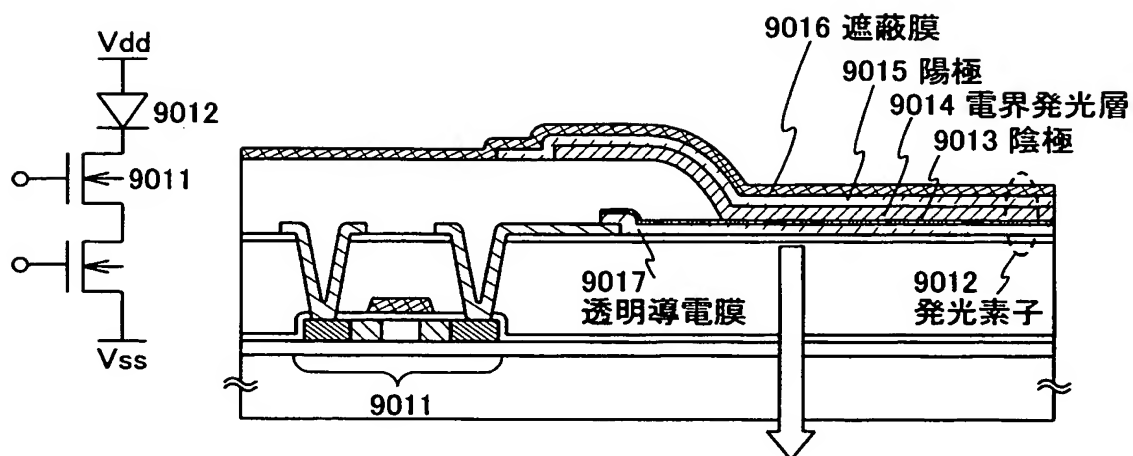
【図 17】



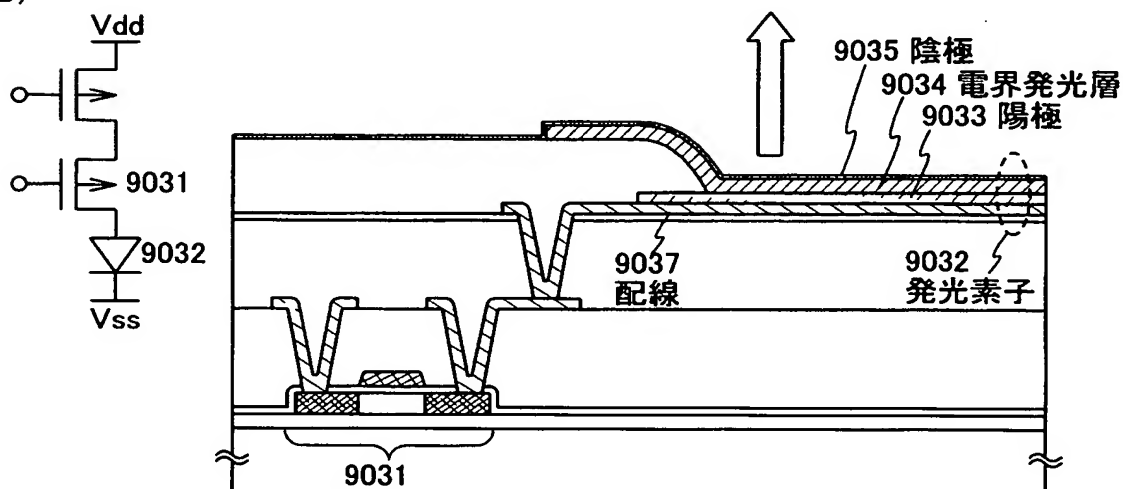
- 5301: 信号線
- 5302: 第1の電源線
- 5303: 第2の走査線
- 5304: 第1の走査線
- 5305: スイッチング用トランジスタ
- 5306: 消去用トランジスタ
- 5307: 駆動用トランジスタ
- 5308: 電流制御用トランジスタ
- 5309: 画素電極
- 5311r: 第2の電源線
- 5311g: 第2の電源線
- 5311b: 第2の電源線
- 5312: 容量素子
- 5313: 抵抗

【図 18】

(A)

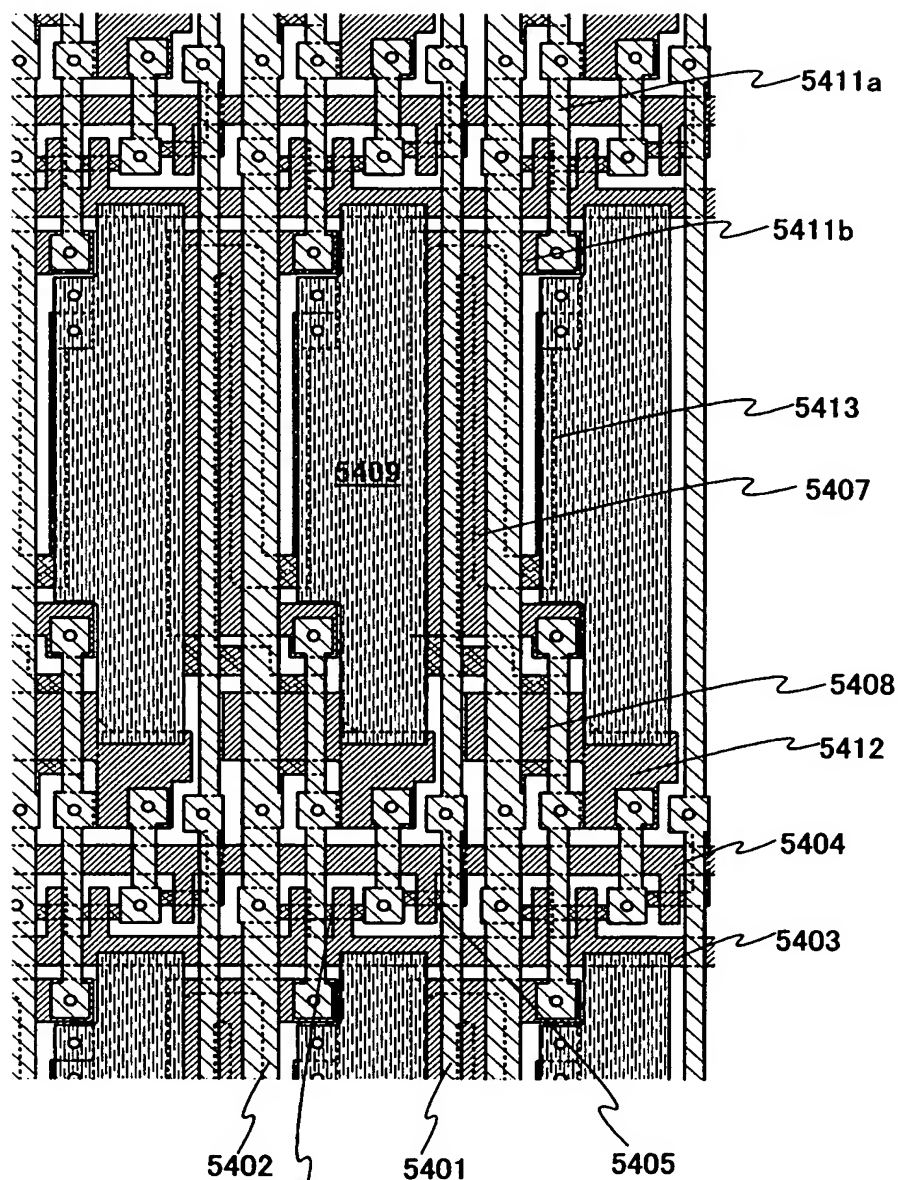


(B)



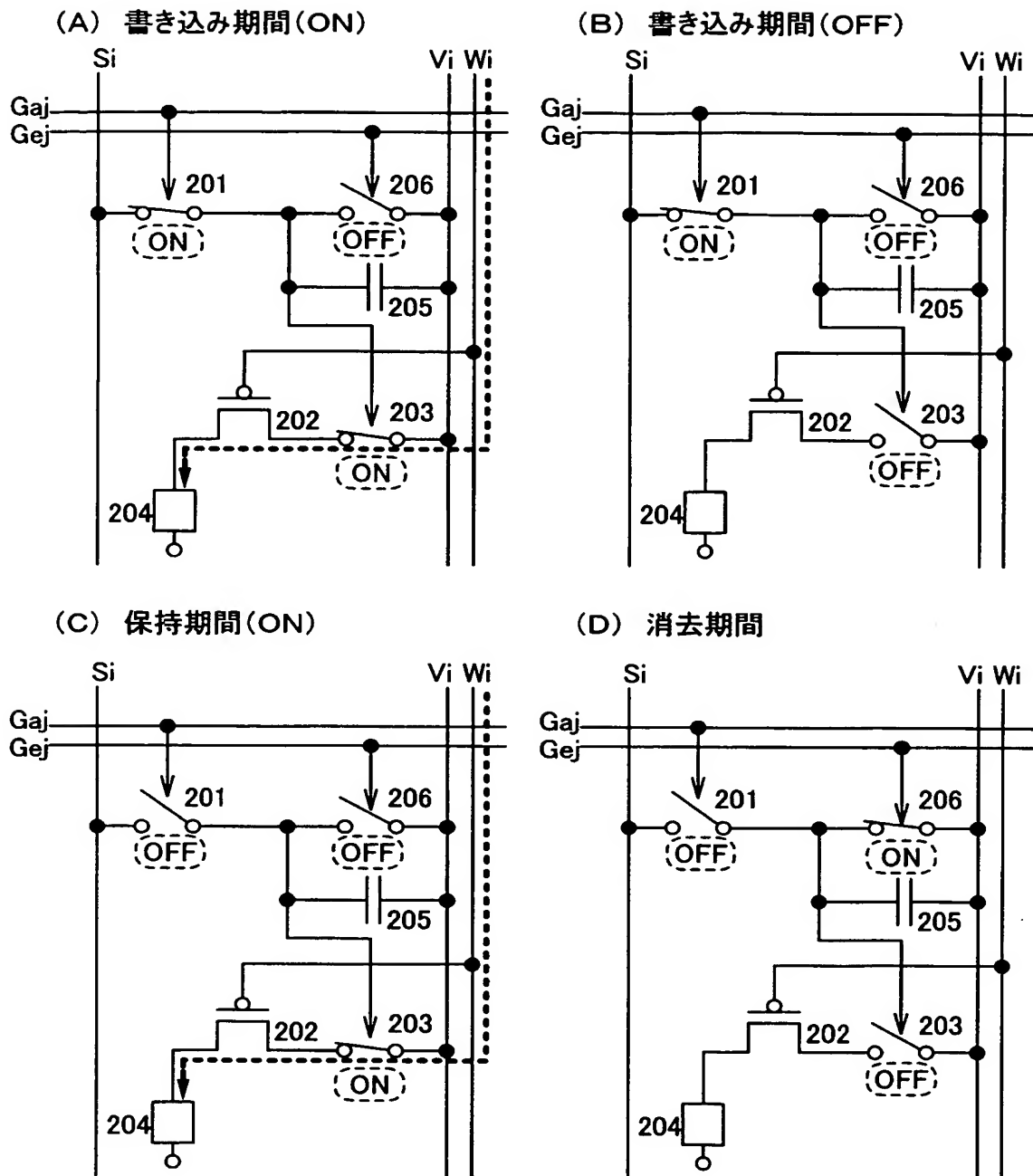


【図 20】

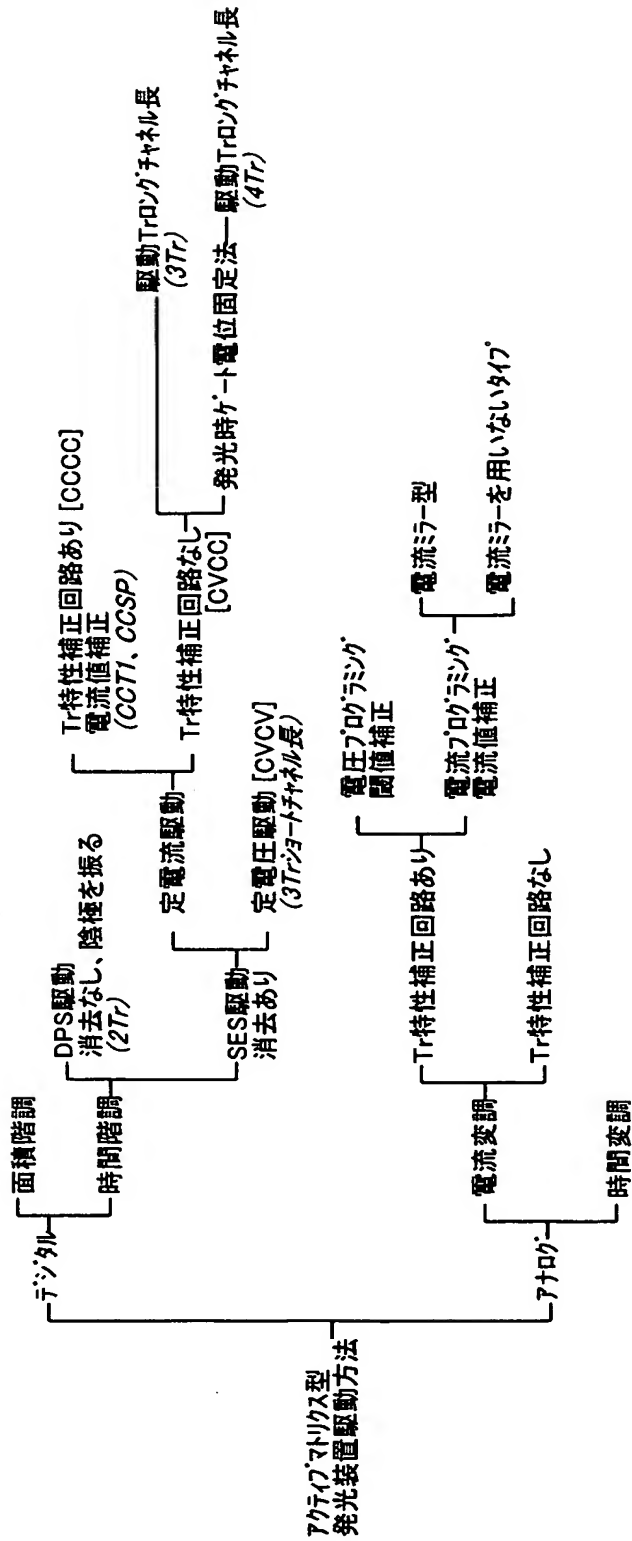


- 5401: 信号線
- 5402: 第1の電源線
- 5403: 第2の走査線
- 5404: 第1の走査線
- 5405: スイッチング用トランジスタ
- 5406: 消去用トランジスタ
- 5407: 駆動用トランジスタ
- 5408: 電流制御用トランジスタ
- 5409: 画素電極
- 5411a: 第2の電源線
- 5411b: 第2の電源線
- 5412: 容量素子
- 5413: 抵抗

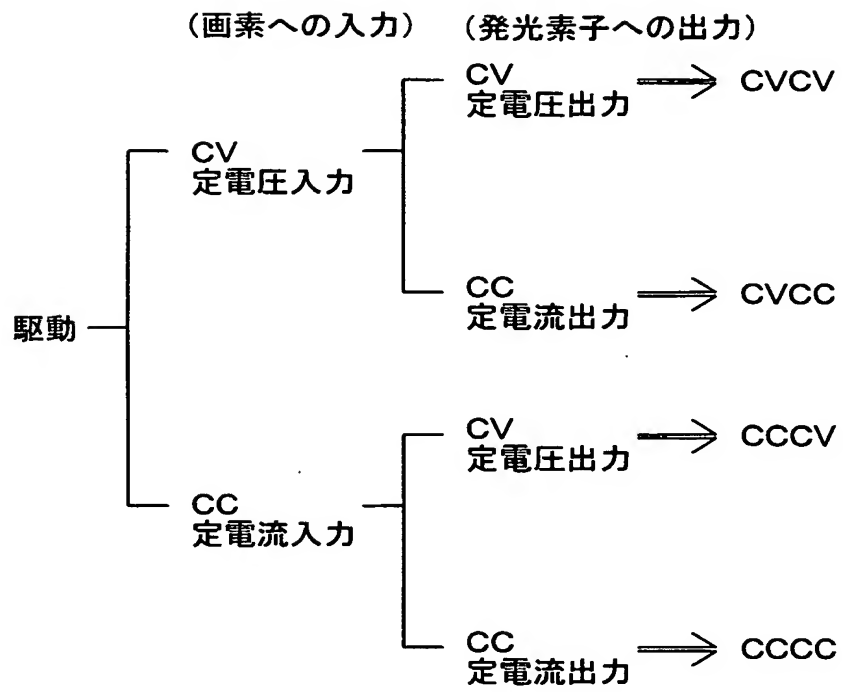
【図 21】



【図 22】



【図 23】





【書類名】 要約書

【要約】

【課題】 スイッチング用トランジスタのオフ電流を低く抑えたり、容量素子の大容量化を図らずとも、駆動用トランジスタの特性のばらつきに起因する、画素間における発光素子の輝度ムラを抑えることができる発光装置及び素子基板の提案を課題とする。

【解決手段】 本発明では、駆動用トランジスタのゲートの電位は固定し、前記駆動用トランジスタは飽和領域で動作させ、常に電流を流せる状態にしておく。前記駆動用トランジスタと直列に線形領域で動作する電流制御用トランジスタを配し、スイッチング用トランジスタを介して画素の発光、非発光の信号を伝えるビデオ信号を前記電流制御用トランジスタのゲートに入力する。

【選択図】 図 1

特願 2 0 0 3 - 1 7 4 1 3 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 1 5 3 8 7 8 ]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所